

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

1999年 2月24日

願 番 号  
Application Number:

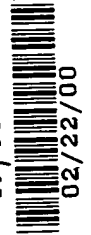
平成11年特許願第045776号

願 人  
Applicant(s):

株式会社半導体エネルギー研究所

jc678 U.S. PTO

09/507825

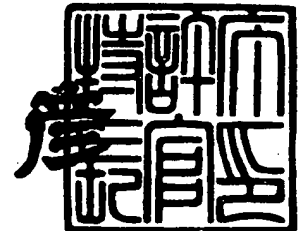


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 1月 7日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



【書類名】 特許願  
【整理番号】 P004103-01  
【提出日】 平成11年 2月24日  
【あて先】 特許庁長官 殿  
【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ  
バと、

を有する液晶表示装置であって、

外部から入力される  $m$  ビットデジタルビデオデータのうち、上位  $n$  ビットを階  
調電圧の情報として、かつ下位  $(m - n)$  ビットを時間階調の情報として用い、  
 $m$ 、 $n$  は共に 2 以上の正数、かつ  $m > n$  であることを特徴とする液晶表示装置。

【請求項 2】

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ  
バと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビッ  
トデジタルビデオデータに変換し、前記ソースドライバに前記  $n$  ビットデジタル  
ビデオデータを供給する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、

を有する液晶表示装置であって、

$2^{m-n}$  個のサブフレームによって 1 フレームの映像を形成することによって時  
間階調表示を行うことを特徴とする液晶表示装置。

【請求項 3】

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ  
バと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビッ  
トデジタルビデオデータに変換し、前記ソースドライバに前記  $n$  ビットデジタル  
ビデオデータを供給する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、

を有する液晶表示装置であって、

$2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする液晶表示装置。

【請求項4】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力される $m$ ビットデジタルビデオデータのうち、上位 $n$ ビットを階調電圧の情報として、かつ下位 $(m-n)$ ビットを時間階調の情報として用い（ $m$ 、 $n$ は共に2以上の正数、 $m > n$ ）、

前記ソースドライバは、前記 $n$ ビットデジタルビデオデータをアナログ階調電圧に変換するD/A変換回路を有していることを特徴とする液晶表示装置。

【請求項5】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される $m$ ビットデジタルビデオデータを階調電圧のための $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と（ $m$ 、 $n$ は共に2以上の正数、 $m > n$ ）、

を有する液晶表示装置であって、

前記ソースドライバは、前記 $n$ ビットデジタルビデオデータをアナログ階調電圧に変換するD/A変換回路を有しており、

$2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行うことを特徴とする液晶表示装置。

【請求項6】

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換し、前記ソースドライバに前記  $n$  ビットデジタルビデオデータを供給する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、を有する液晶表示装置であって、

前記ソースドライバは、前記  $n$  ビットデジタルビデオデータをアナログ階調電圧に変換する D/A 変換回路を有しており、

$2^{m-n}$  個のサブフレームによって 1 フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$  通りの階調表示を得ることを特徴とする液晶表示装置。

【請求項 7】

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、

前記  $n$  ビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力する D/A 変換回路と、を有する液晶表示装置であって、

$2^{m-n}$  個のサブフレームによって 1 フレームの映像を形成することによって時間階調表示を行うことを特徴とする液晶表示装置。

【請求項 8】

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、

前記  $n$  ビットデジタルビデオデータをアナログビデオデータに変換し、前記ソ

ースドライバに入力するするD/A変換回路と、  
を有する液晶表示装置であって、

$2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする液晶表示装置。

【請求項 9】

前記mは8、前記nは2であることを特徴とする請求項1乃至8のいずれかに記載の液晶表示装置。

【請求項 10】

前記mは12、前記nは4であることを特徴とする請求項1乃至8のいずれかに記載の液晶表示装置。

【請求項 11】

前記液晶表示装置には、無しきい値反強誘電性混合液晶が用いられることを特徴とする請求項1乃至10のいずれかに記載の液晶表示装置。

【請求項 12】

請求項1乃至11のいずれかに記載の液晶表示装置を3個備えたリアプロジェクター。

【請求項 13】

請求項1乃至11のいずれかに記載の液晶表示装置を3個備えたフロントプロジェクター。

【請求項 14】

請求項1乃至11のいずれかに記載の液晶表示装置を1個備えた単板式リアプロジェクター。

【請求項 15】

請求項1乃至11のいずれかに記載の液晶表示装置を2個備えたゴーグル型ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は、液晶表示装置に関する。特に、階調電圧と時間階調との両方によって階調表示を行う液晶表示装置に関する。

【 0 0 0 3 】

【従来の技術】

【 0 0 0 4 】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（TFT）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置の需要が高まってきたことによる。

【 0 0 0 5 】

アクティブマトリクス型液晶表示装置は、マトリクス状に配置された数十～数百万個もの画素領域にそれぞれ画素TFTが配置され、各画素TFTに接続された画素電極に出入りする電荷を画素TFTのスイッチング機能により制御するものである。

【 0 0 0 6 】

近年、画像の高精細化、高解像度化とともに、望ましくはフルカラー表示が行える多階調表示が求められている。

【 0 0 0 7 】

また、アクティブマトリクス型液晶表示装置の中でも、表示装置の高精細化、高解像度化に伴い、高速駆動が可能なデジタル駆動方式のアクティブマトリクス型液晶表示装置が注目されてきている。

【 0 0 0 8 】

【発明が解決しようとする課題】

【 0 0 0 9 】

デジタル駆動方式のアクティブマトリクス型液晶表示装置には、外部から入力されるデジタルビデオデータをアナログデータ（階調電圧）に変換するD/A変換回路（DAC）が必要である。D/A変換回路には、様々な種類のものが存在する。

【 0 0 1 0 】

アクティブマトリクス型液晶表示装置の多階調表示能力は、このD/A変換回路の能力、つまりD/A変換回路が何ビットのデジタルビデオデータをアナログデータに変換することができるかに依存している。例えば、一般的に、2ビットのデジタルビデオデータを処理するD/A変換回路を有する液晶表示装置であれば、 $2^2=4$ 階調表示を行うことができ、8ビットならば $2^8=256$ 階調表示を行うことができ、またnビットならば $2^n$ 階調表示を行うことができる。

## 【0011】

しかし、D/A変換回路の能力を上げるためには、D/A変換回路の回路構成が複雑になり、かつレイアウト面積が大きくなる。最近では、D/A変換回路をアクティブマトリクス回路と同一基板上にポリシリコンTFTによって形成する液晶表示装置が報告されてきている。しかし、この場合、D/A変換回路の回路構成が複雑になると、D/A変換回路の歩留まりが低下し、液晶表示装置の歩留まりも低下してしまう。また、D/A変換回路のレイアウト面積が大きくなると、小型の液晶表示装置を実現することが困難になる。

## 【0012】

## 【課題を解決するための手段】

## 【0013】

そこで、本発明は上述の問題に鑑みてなされたものであり、多階調の表示を実現することのできる液晶表示装置を提供するものである。

## 【0014】

まず、図1を参照する。図1には、本発明の液晶表示装置の概略構成図が示されている。101はデジタルドライバを有する液晶パネルである。101-1はソースドライバであり、101-2および101-3はゲートドライバであり、101-4は複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ101-1およびゲートドライバ101-2ならびに101-3は、アクティブマトリクス回路を駆動する。102はデジタルビデオデータ時間階調処理回路である。

## 【0015】

デジタルビデオデータ時間階調処理回路102は、外部から入力されるmビッ



トデジタルビデオデータのうち  $n$  ビットのデジタルビデオデータを、 $n$  ビットの階調電圧の為のデジタルビデオデータに変換する。 $m$  ビットのデジタルビデオデータのうち下位  $(m-n)$  ビットの階調情報は、時間階調によって表現される。

【0016】

デジタルビデオデータ時間階調処理回路 102 によって変換された  $n$  ビットデジタルビデオデータは、液晶パネル 101 に入力される。液晶パネル 101 に入力された  $n$  ビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内の D/A 変換回路でアナログ階調データに変換され、各ソース信号線に供給される。

【0017】

次に、本発明の液晶表示装置の別の例を図 2 に示す。図 2 において、201 はアナログドライバを有する液晶パネルである。201-1 はソースドライバであり、201-2 および 201-3 はゲートドライバであり、201-4 は複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路である。ソースドライバ 101-1 およびゲートドライバ 101-2 ならびに 101-3 は、アクティブマトリクス回路を駆動する。202 は A/D 変換回路であり、外部から供給されるアナログビデオデータを  $m$  ビットデジタルビデオデータに変換する。203 はデジタルビデオデータ時間階調処理回路である。デジタルビデオデータ時間階調処理回路 203 は、入力される  $m$  ビットデジタルビデオデータのうち  $n$  ビットのデジタルビデオデータを、 $n$  ビットの階調電圧の為のデジタルビデオデータに変換する。入力される  $m$  ビットのデジタルビデオデータのうち下位  $(m-n)$  ビットの階調情報は、時間階調によって表現される。デジタルビデオデータ時間階調処理回路 203 によって変換された  $n$  ビットデジタルビデオデータは、D/A 変換回路 204 に入力され、アナログビデオデータに変換される。D/A 変換回路 204 によって変換されたアナログビデオデータは、液晶パネル 201 に入力される。液晶パネル 201 に入力されたアナログビデオデータは、ソースドライバに入力され、ソースドライバ内のサンプリング回路によってサンプリングされ、各ソース信号線に供給される。

【0018】

なお、本発明の液晶表示装置の動作の詳細について実施形態を用いて後述することにする。

【0019】

以下に本発明の構成を述べる。

【0020】

本発明によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力される $m$ ビットデジタルビデオデータのうち、上位 $n$ ビットを階調電圧の情報として、かつ下位 $(m-n)$ ビットを時間階調の情報として用い、 $m$ 、 $n$ は共に2以上の正数、かつ $m > n$ であることを特徴とする液晶表示装置が提供される。。

【0021】

また、本発明によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される $m$ ビットデジタルビデオデータを階調電圧のための $n$ ビットデジタルビデオデータに変換し、前記ソースドライバに前記 $n$ ビットデジタルビデオデータを供給する回路と（ $m$ 、 $n$ は共に2以上の正数、 $m > n$ ）、を有する液晶表示装置であって、

$2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行うことを特徴とする液晶表示装置が提供される。

【0022】

また、本発明によると、

複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライ

バと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換し、前記ソースドライバに前記  $n$  ビットデジタルビデオデータを供給する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、  
を有する液晶表示装置であって、

$2^{m-n}$  個のサブフレームによって 1 フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$  通りの階調表示を得ることを特徴とする液晶表示装置が提供される。

【 0 0 2 3 】

また、本発明によると、

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

を有する液晶表示装置であって、

外部から入力される  $m$  ビットデジタルビデオデータのうち、上位  $n$  ビットを階調電圧の情報として、かつ下位  $(m - n)$  ビットを時間階調の情報として用い ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、

前記ソースドライバは、前記  $n$  ビットデジタルビデオデータをアナログ階調電圧に変換する D / A 変換回路を有していることを特徴とする液晶表示装置が提供される。

【 0 0 2 4 】

また、本発明によると、

複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換し、前記ソースドライバに前記  $n$  ビットデジタルビデオデータを供給する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、  
を有する液晶表示装置であって、

前記ソースドライバは、前記  $n$  ビットデジタルビデオデータをアナログ階調電圧に変換する D/A 変換回路を有しており、

$2^{m-n}$  個のサブフレームによって 1 フレームの映像を形成することによって時間階調表示を行うことを特徴とする液晶表示装置が提供される。

【0025】

また、本発明によると、

複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換し、前記ソースドライバに前記  $n$  ビットデジタルビデオデータを供給する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、を有する液晶表示装置であって、

前記ソースドライバは、前記  $n$  ビットデジタルビデオデータをアナログ階調電圧に変換する D/A 変換回路を有しており、

$2^{m-n}$  個のサブフレームによって 1 フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$  通りの階調表示を得ることを特徴とする液晶表示装置が提供される。

【0026】

また、本発明によると、

複数の画素 TFT がマトリクス状に配置されたアクティブマトリクス回路と、前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力される  $m$  ビットデジタルビデオデータを階調電圧のための  $n$  ビットデジタルビデオデータに変換する回路と ( $m$ 、 $n$  は共に 2 以上の正数、 $m > n$ )、

前記  $n$  ビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力する D/A 変換回路と、を有する液晶表示装置であって、

$2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行うことを特徴とする液晶表示装置が提供される。

【0027】

また、本発明によると、  
複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路と、  
前記アクティブマトリクス回路を駆動するソースドライバおよびゲートドライバと、

外部から入力されるmビットデジタルビデオデータを階調電圧のためのnビットデジタルビデオデータに変換する回路と（m、nは共に2以上の正数、 $m > n$ ）、

前記nビットデジタルビデオデータをアナログビデオデータに変換し、前記ソースドライバに入力するD/A変換回路と、  
を有する液晶表示装置であって、

$2^{m-n}$ 個のサブフレームによって1フレームの映像を形成することによって時間階調表示を行い、 $(2^m - (2^{m-n} - 1))$ 通りの階調表示を得ることを特徴とする液晶表示装置が提供される。

【0028】

前記mは8、前記nは2であってもよい。

【0029】

前記mは12、前記nは4であってもよい。

【0030】

前記液晶表示装置には、無しきい値反強誘電性混合液晶が用いられるようにしてもよい。

【0031】

【発明の実施の形態】

【0032】

以下に本発明の液晶表示装置を実施形態をもって説明する。ただし、本発明の液晶表示装置は、以下の実施形態に限定されるわけではない。

【0033】

## (実施形態 1)

## 【0034】

本実施形態の液晶表示装置の概略構成図を図3に示す。本実施形態においては、説明の簡略のため、外部から4ビットデジタルビデオデータが供給される液晶表示装置を例にとる。

## 【0035】

301はデジタルドライバを有する液晶パネルである。301-1はソースドライバであり、301-2および301-3はゲートドライバであり、301-4は複数の画素TFTがマトリクス状に配置されたアクティブマトリクス回路である。

## 【0036】

デジタルビデオデータ時間階調処理回路302は、外部から入力される4ビットデジタルビデオデータのうち上位2ビットのデジタルビデオデータを、2ビットの階調電圧の為にデジタルビデオデータに変換する。4ビットのデジタルビデオデータのうち下位2ビットの階調情報は、時間階調によって表現される。

## 【0037】

デジタルビデオデータ時間階調処理回路102によって変換された上位2ビットデジタルビデオデータは、液晶パネル301に入力される。液晶パネル301に入力された2ビットデジタルビデオデータは、ソースドライバに入力され、ソースドライバ内のD/A変換回路（図示せず）でアナログ階調データに変換され、各ソース信号線に供給される。なお、本実施形態の液晶パネルに内蔵されるD/A変換回路は、2ビットのデジタルビデオデータをアナログ階調電圧に変換する。

## 【0038】

ここで、本実施形態の液晶表示装置の液晶パネル301の回路構成、特にアクティブマトリクス回路301-4について、図4を用いて説明する。

## 【0039】

アクティブマトリクス回路301-4は、 $(x \times y)$  個の画素を有している。それぞれの画素には、説明の便宜上、 $P_{1,1}$ 、 $P_{2,1}$ 、 $\dots$ 、 $P_{y,x}$ 等の符号が

付けられている。また、それぞれの画素は、画素TFT301-4-1、保持容量301-4-3を有している。また、ソースドライバ301-1、ゲートドライバ301-2ならびに301-3、およびアクティブマトリクス回路301-4が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶3006は、各画素に対応する液晶を模式的に示したものである。

## 【0040】

本実施形態のデジタルドライバ液晶パネルは、1ライン分の画素（例えば、P1,1、P1,2、・・・、P1,x）を同時に駆動する、いわゆる線順次駆動を行う。言い換えると、1ライン分の画素に同時にアナログ階調電圧を書き込む。全ての画素（P1,1～Py,x）にアナログ階調電圧を書き込むのに要する時間を1フレーム期間（Tf）と呼ぶことにする。また、1フレーム期間（Tf）を4分割した期間をサブフレーム期間（Tsf）と呼ぶことにする。さらに、1ライン分の画素（例えば、P1,1、P1,2、・・・、P1,x）にアナログ階調電圧を書き込むのに要する時間を1ライン期間（Tsf1）と呼ぶことにする。

## 【0041】

本実施形態の液晶表示装置の階調表示について説明する。本実施形態の液晶表示装置に外部から供給されるデジタルビデオデータは、4ビットであり、16階調の情報を有している。ここで、図5を参照する。図5には、本実施形態の液晶表示装置の階調表示レベルが示されている。電圧レベルVLはD/A変換回路に入力される最低の電圧レベルであり、また、電圧レベルVHはD/A変換回路に入力される最高の電圧レベルである。

## 【0042】

本実施形態においては、4階調の電圧レベルを実現するために、電圧レベルVHと電圧レベルVLとの間をほぼ等電圧レベルに分割し、その電圧レベルのステップを $\alpha$ とした。なお、 $\alpha = (VH - VL) / 4$ である。よって、本実施形態のD/A変換回路が出力する階調電圧レベルは、デジタルビデオデータのアドレスが（00）の時はVLとなり、デジタルビデオデータのアドレスが（01）の時はVL +  $\alpha$ となり、デジタルビデオデータのアドレスが（10）の時はVL + 2 $\alpha$ とな

り、デジタルビデオデータのアドレスが(11)の時は $VL+3\alpha$ となる。

【0043】

本実施形態のD/A変換回路が出力できる階調電圧レベルは、上述の様に $VL$ 、 $VL+\alpha$ 、 $VL+2\alpha$ 、および $VL+3\alpha$ の4通りである。そこで、本発明においては、時間階調表示を組合わせることによって、液晶表示装置の階調表示レベルの数を上げることができる。本実施形態においては、4ビットデジタルビデオデータのうちの2ビット分の情報を時間階調表示にもちいることによって、電圧レベルのステップ $\alpha$ をほぼ4等分した階調電圧レベルに相当する階調表示レベルを実現することができる。つまり、本実施例の液晶表示装置は、 $VL$ 、 $VL+\alpha/4$ 、 $VL+2\alpha/4$ 、 $VL+3\alpha/4$ 、 $VL+\alpha$ 、 $VL+5\alpha/4$ 、 $VL+6\alpha/4$ 、 $VL+7\alpha/4$ 、 $VL+2\alpha$ 、 $VL+9\alpha/4$ 、 $VL+10\alpha/4$ 、 $VL+11\alpha/4$ 、 $VL+3\alpha$ の階調電圧レベルに相当する階調表示レベルを実現することができる。

【0044】

ここで、外部から入力される4ビットデジタルビデオデータアドレスと、時間階調処理後デジタルビデオデータアドレスおよびそれに対応する階調電圧レベルと、時間階調を組み合わせた階調表示レベルとの対応を下記の表1に示す。

【0045】



【表 1】

デジタルビデオ データアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧) レベル				時間階調を 組み合わせた 階調表示レベル
上位	下位	1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 ( $V_L$ )	00 ( $V_L$ )	00 ( $V_L$ )	00 ( $V_L$ )	$V_L$
	01	00 ( $V_L$ )	00 ( $V_L$ )	00 ( $V_L$ )	01 ( $V_L + \alpha$ )	$V_L + \alpha / 4$
	10	00 ( $V_L$ )	00 ( $V_L$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	$V_L + 2\alpha / 4$
	11	00 ( $V_L$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	$V_L + 3\alpha / 4$
01	00	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	$V_L + \alpha$
	01	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 5\alpha / 4$
	10	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 6\alpha / 4$
	11	01 ( $V_L + \alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 7\alpha / 4$
10	00	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 2\alpha$
	01	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 9\alpha / 4$
	10	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 10\alpha / 4$
	11	10 ( $V_L + 2\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 11\alpha / 4$
11	00	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$
	01	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$
	10	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$
	11	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$

【0 0 4 6】

本実施形態の液晶表示装置は、1 フレーム期間  $T_f$  を4つのサブフレーム期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に分割して表示を行っている。さらに、本実施形態の液晶表示装置は、線順次駆動を行うので、各画素は1 ライン期間 (Tsfl) の間、階調電圧が書き込まれる。よって、各サブフレーム

期間 (1st Tsf、2nd Tsf、3rd Tsf、および4th Tsf) に対応する各サブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に、時間階調処理後の2ビットデジタルビデオデータのアドレスがD/A変換回路に入力され、D/A変換回路から階調電圧が出力される。4つのサブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に書き込まれる階調電圧によって4回のサブフレームの表示が高速に行われ、結果として1フレームの階調表示は、各サブフレームライン期間の階調電圧レベルの総和を時間平均したものになる。

【0047】

なお、表1に示すように、本実施例においては、4ビットデジタルビデオデータのアドレスが(1100)～(1111)までは同じ階調電圧レベル( $V_L + 3\alpha$ )が出力される。

【0048】

よって、本実施形態の液晶表示装置においては、2ビットデジタルビデオデータを扱うD/A変換回路をした場合でも、 $2^4 - 3 = 13$ 階調の階調レベルの表示を行うことができる。

【0049】

図6には、本実施例の液晶表示装置の駆動タイミングチャートが示されている。図6には、画素P1,1～画素Py,1が例にとって示されている。

【0050】

画素P1,1を例にとって説明すると、画素P1,1には、各サブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に、デジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4が書き込まれる。これらのデジタルビデオデータ1,1-1、1,1-2、1,1-3、および1,1-4は、4ビットのデジタルビデオデータ1,1を時間階調処理した2ビットデジタルビデオデータである。

【0051】

このような動作が、全ての画素について行われる。

【0052】

ここで、図7を参照する。図7は、ある画素(例えば、画素P1,1)に書き込

まれる階調電圧レベルと、サブフレーム期間およびフレーム期間との関係を示したものである。

【0053】

まず、1フレーム期間目に着目すると、第1のサブフレームライン期間(1st Tsfl)には $VL + \alpha$ の階調電圧が書き込まれ、第1のサブフレーム期間(1st Tsf)には階調電圧 $VL + \alpha$ に対応した画像が表示される。次に、第2のサブフレームライン期間(2nd Tsfl)には $VL + 2\alpha$ の階調電圧が書き込まれ、第2のサブフレーム期間(2nd Tsf)には階調電圧 $VL + 2\alpha$ に対応した画像が表示される。次に、第3のサブフレームライン期間(3rd Tsfl)には $VL + 2\alpha$ の階調電圧が書き込まれ、第3のサブフレーム期間(3rd Tsf)には階調電圧 $VL + 2\alpha$ に対応した画像が表示される。次に、第4のサブフレームライン期間(4th Tsfl)には $VL + 2\alpha$ の階調電圧が書き込まれ、第4のサブフレーム期間(4th Tsf)には階調電圧 $VL + 2\alpha$ に対応した画像が表示される。よって、1フレーム目の階調表示レベルは、 $VL + 7\alpha / 4$ の階調電圧レベルに対応した階調表示となる。

【0054】

次に、2フレーム期間目に着目すると、第1のサブフレームライン期間(1st Tsfl)には $VL + 2\alpha$ の階調電圧が書き込まれ、第1のサブフレーム期間(1st Tsf)には階調電圧 $VL + 2\alpha$ に対応した画像が表示される。次に、第2のサブフレームライン期間(2nd Tsfl)には $VL + 2\alpha$ の階調電圧が書き込まれ、第2のサブフレーム期間(2nd Tsf)には階調電圧 $VL + 2\alpha$ に対応した画像が表示される。次に、第3のサブフレームライン期間(3rd Tsfl)には $VL + 3\alpha$ の階調電圧が書き込まれ、第3のサブフレーム期間(3rd Tsf)には階調電圧 $VL + 3\alpha$ に対応した画像が表示される。次に、第4のサブフレームライン期間(4th Tsfl)には $VL + 3\alpha$ の階調電圧が書き込まれ、第4のサブフレーム期間(4th Tsf)には階調電圧 $VL + 3\alpha$ に対応した画像が表示される。よって、2フレーム目の階調表示レベルは、 $VL + 10\alpha / 4$ の階調電圧レベルに対応した階調表示となる。

【0055】

このように、1 3 通りの階調表示が行われることが理解される。

【0 0 5 6】

なお、本実施例においては、4 階調の電圧レベルを実現するために、電圧レベル  $V_H$  と電圧レベル  $V_L$  との間をほぼ等電圧レベルに分割し、その電圧レベルのステップを  $\alpha$  としたが、電圧レベル  $V_H$  と電圧レベル  $V_L$  との間を等電圧レベルに分割せず任意に設定した場合でも、本発明の効果はある。

【0 0 5 7】

また、本実施例においては、各サブフレームライン期間に書き込まれる階調電圧レベルを表 1 のように設定したが、下記の表 2 に示す様にしてもよい。

【0 0 5 8】

【表 2】

デジタルビデオ データアドレス		時間階調処理後 デジタルビデオデータアドレス (階調電圧) レベル				時間階調を 組み合わせた 階調表示レベル
上位	下位	1st Tsfl	2nd Tsfl	3rd Tsfl	4th Tsfl	
00	00	00 ( $V_L$ )	00 ( $V_L$ )	00 ( $V_L$ )	00 ( $V_L$ )	$V_L$
	01	01 ( $V_L + \alpha$ )	00 ( $V_L$ )	00 ( $V_L$ )	00 ( $V_L$ )	$V_L + \alpha / 4$
	10	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	00 ( $V_L$ )	00 ( $V_L$ )	$V_L + 2\alpha / 4$
	11	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	00 ( $V_L$ )	$V_L + 3\alpha / 4$
01	00	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	$V_L + \alpha$
	01	10 ( $V_L + 2\alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	$V_L + 5\alpha / 4$
	10	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	01 ( $V_L + \alpha$ )	01 ( $V_L + \alpha$ )	$V_L + 6\alpha / 4$
	11	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	01 ( $V_L + \alpha$ )	$V_L + 7\alpha / 4$
10	00	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 2\alpha$
	01	11 ( $V_L + 3\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 9\alpha / 4$
	10	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	10 ( $V_L + 2\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 10\alpha / 4$
	11	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	10 ( $V_L + 2\alpha$ )	$V_L + 11\alpha / 4$
11	00	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$
	01	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$
	10	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$
	11	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	11 ( $V_L + 3\alpha$ )	$V_L + 3\alpha$

【0 0 5 9】

また、各サブフレームライン期間 (1st Tsfl、2nd Tsfl、3rd Tsfl、および4th Tsfl) に書き込まれるデジタルビデオデータのアドレス (または階調電圧レベル) は、表 1 または表 2 以外の組み合わせによっても設定され得る。

【0 0 6 0】

また、本実施例においては、外部から入力される 4 ビットデジタルビデオデータのうち上位 2 ビットのデジタルビデオデータを、2 ビットの階調電圧の為のデジタルビデオデータに変換し、4 ビットのデジタルビデオデータのうち下位 2 ビットの階調情報は、時間階調によって表現されるようにした。ここで、一般に、外部から  $m$  ビットのデジタルビデオデータが時間階調処理回路によって、上位  $n$  ビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、下位  $(m - n)$  ビットの階調情報は、時間階調によって表現される場合を考える。なお、 $m$ 、 $n$  は共に 2 以上の整数であり、 $m > n$  とする。

【0 0 6 1】

この場合、フレーム期間 ( $T_f$ ) とサブフレーム期間 ( $T_{sf}$ ) との関係は、

$$T_f = 2^{m-n} \cdot T_{sf}$$

となり、 $(2^m - (2^{m-n} - 1))$  通りの階調表示を行うことができる。

【0 0 6 2】

なお、 $m = 12$  および  $n = 4$  でもよい。

【0 0 6 3】

(実施形態 2)

【0 0 6 4】

本実施形態においては、8 ビットデジタルビデオデータが入力される液晶表示装置について説明する。図 8 を参照する。図 8 には、本実施例の液晶表示装置の概略構成図が示されている。801 はデジタルドライバを有する液晶表示装置である。801-1 ならびに 801-2 はソースドライバであり、801-3 はゲートドライバであり、801-4 は複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路であり、801-5 はデジタルビデオデータ時間階調処理回路である。

【0 0 6 5】

デジタルビデオデータ時間階調処理回路 801-5 は、外部から入力される 8 ビットデジタルビデオデータのうち 6 ビットのデジタルビデオデータを、6 ビットの階調電圧の為のデジタルビデオデータに変換する。8 ビットのデジタルビデオデータのうち 2 ビットの階調情報は、時間階調によって表現される。

## 【0066】

デジタルビデオデータ時間階調処理回路801-5によって変換された6ビットデジタルビデオデータは、ソースドライバ801-1および801-2に入力され、ソースドライバ内のD/A変換回路（図示せず）でアナログ階調電圧に変換され、各ソース信号線に供給される。なお、本実施形態の液晶表示装置に内蔵されるD/A変換回路は、6ビットのデジタルビデオデータをアナログ階調電圧に変換する。

## 【0067】

なお、本実施形態の液晶表示装置においては、ソースドライバ801-1ならびに801-2、ゲートドライバ801-3、アクティブマトリクス回路801-4、およびデジタルビデオデータ時間階調処理回路801-5が同一基板上に一体形成されている。

## 【0068】

ここで、図9を参照する。図9には、本実施形態の液晶表示装置の回路構成がより詳しく示されている。ソースドライバ801-1は、シフトレジスタ回路801-1-1、ラッチ回路1（801-1-2）、ラッチ回路2（801-1-3）、D/A変換回路（801-1-4）を有している。その他、バッファ回路やレベルシフタ回路（いずれも図示せず）を有している。また、説明の便宜上、D/A変換回路801-1-4にはレベルシフタ回路が含まれている。

## 【0069】

ソースドライバ801-2は、ソースドライバ801-1と同じ構成を有する。なお、ソースドライバ801-1は、奇数番目のソース信号線に画像信号（階調電圧）を供給し、ソースドライバは、偶数番目のソース信号線に画像信号を供給するようになっている。

## 【0070】

なお、本実施例のアクティブマトリクス型液晶表示装置においては、回路レイアウトの都合上、アクティブマトリクス回路の上下を挟むように2つのソースドライバ801-1および801-2を設けたが、回路レイアウト上、可能であれば、ソースドライバを1つだけ設けるようにしても良い。

【 0 0 7 1 】

また、8 0 1 - 3 はゲートドライバであり、シフトレジスタ回路、バッファ回路、レベルシフタ回路等（いずれも図示せず）を有している。

【 0 0 7 2 】

アクティブマトリクス回路 8 0 1 - 4 は、1 9 2 0 × 1 0 8 0 （横×縦）の画素を有している。各画素の構成は、上記実施形態 1 で説明したものと同様である。

【 0 0 7 3 】

本実施形態の液晶表示装置は、6ビットデジタルビデオデータを扱う D/A 変換回路 8 0 1 - 1 - 4 を有している。また、外部から供給される 8ビットデジタルビデオデータのうち下位 2ビット分の情報を時間階調を行うために用いる。なお、時間階調については、上述の実施形態 1 と同様である。

【 0 0 7 4 】

よって、本実施形態の液晶表示装置は、 $2^8 - 3 = 253$  通りの階調表示を行うことができる。

【 0 0 7 5 】

（実施形態 3）

【 0 0 7 6 】

1 0 0 1 はアナログドライバを有する液晶パネルである。1 0 0 1 - 1 はソースドライバであり、1 0 0 1 - 2 および 1 0 0 1 - 3 はゲートドライバであり、1 0 0 1 - 4 は複数の画素 T F T がマトリクス状に配置されたアクティブマトリクス回路である。

【 0 0 7 7 】

デジタルビデオデータ時間階調処理回路 1 0 0 2 は、外部から入力される 4ビットデジタルビデオデータのうち上位 2ビットのデジタルビデオデータを、2ビットの階調電圧の為にデジタルビデオデータに変換する。4ビットのデジタルビデオデータのうち下位 2ビットの階調情報は、時間階調によって表現される。

【 0 0 7 8 】

デジタルビデオデータ時間階調処理回路 1 0 0 2 によって変換された上位 2 ビ



ットデジタルビデオデータは、D/A変換回路1003に入力され、アナログビデオデータに変換される。おして、このアナログビデオデータは、液晶パネル1001に入力される。

## 【0079】

ここで、本実施形態の液晶表示装置の液晶パネル1001の回路回路構成、特にアクティブマトリクス回路1001-4について、図11を用いて説明する。

## 【0080】

アクティブマトリクス回路1001-4は、 $(x \times y)$  個の画素を有している。それぞれの画素には、説明の便宜上、 $P_{1,1}$ 、 $P_{2,1}$ 、 $\dots$ 、 $P_{y,x}$ 等の符号が付けられている。また、それぞれの画素は、画素TFT1001-4-1、保持容量1001-4-3を有している。また、ソースドライバ1001-1、ゲートドライバ1001-2ならびに1001-3、およびアクティブマトリクス回路1001-4が形成されているアクティブマトリクス基板と対向基板との間には、液晶が挟まれている。液晶1001-4-2は、各画素に対応する液晶を模式的に示したものである。

## 【0081】

本実施形態のアナログドライバ液晶パネルは、1つの画素を順に駆動する、いわゆる点順次駆動を行う。全ての画素( $P_{1,1} \sim P_{y,x}$ )にアナログ階調電圧を書き込むのに要する時間を1フレーム期間( $T_f$ )と呼ぶことにする。また、1フレーム期間( $T_f$ )を4分割した期間をサブフレーム期間( $T_{sf}$ )と呼ぶことにする。さらに、1つ分の画素(例えば、 $P_{1,1}$ 、 $P_{1,2}$ 、 $\dots$ 、 $P_{1,x}$ )にアナログ階調電圧を書き込むのに要する時間を1サブフレームドット期間( $T_{sfl}$ )と呼ぶことにする。

## 【0082】

本実施形態の液晶表示装置の階調表示について説明する。本実施形態の液晶表示装置に外部から供給されるデジタルビデオデータは、4ビットであり、16階調の情報を有している。なお、本実施例の液晶表示装置の階調表示レベルは、図5に示したものと同様であるので、図5を参照する。

## 【0083】

図 1 2 には、本実施例の液晶表示装置の駆動タイミングチャートが示されている。図 1 2 には、画素 P1,1、P1,2、P1,3、および画素 P<sub>y,x</sub> が例にとって示されている。

【 0 0 8 4 】

画素 P1,1 を例にとって説明すると、画素 P1,1 には、各サブフレームドット期間 (1st Tsfd、2nd Tsfd、3rd Tsfd、および 4th Tsfd) に、デジタルビデオデータ 1,1-1、1,1-2、1,1-3、および 1,1-4 が書き込まれる。これらのデジタルビデオデータ 1,1-1、1,1-2、1,1-3、および 1,1-4 は、4 ビットのデジタルビデオデータ 1,1 を時間階調処理した 2 ビットデジタルビデオデータをアナログ変換したアナログビデオデータである。

【 0 0 8 5 】

このような動作が、全ての画素について行われる。

【 0 0 8 6 】

よって、本実施形態の液晶表示装置においても、上述の実施形態 1 と同様、1 3 階調の階調表示が行える。

【 0 0 8 7 】

なお、本実施形態の液晶表示装置に外部からアナログビデオデータが入力される場合には、入力されるアナログビデオデータをデジタルビデオデータ変換し、デジタルビデオデータ時間階調処理回路 1 0 0 2 に入力するようにすれば良い。

【 0 0 8 8 】

また、本実施形態においても、一般に、外部から m ビットのデジタルビデオデータが時間階調処理回路によって、上位 n ビットデジタルビデオデータが、階調電圧の為のデジタルビデオデータに変換され、下位 (m - n) ビットの階調情報は、時間階調によって表現される場合を考える。なお、m、n は共に 2 以上の整数であり、m > n とする。

【 0 0 8 9 】

この場合、フレーム期間 (Tf) とサブフレーム期間 (Tsfd) との関係は、

$$Tf = 2^{m-n} \cdot Tsfd$$

となり、(2<sup>m</sup> - (2<sup>m-n</sup> - 1)) 通りの階調表示を行うことができる。

## 【 0 0 9 0 】

## (実施形態 4)

## 【 0 0 9 1 】

本実施形態では、上述の実施形態 1 ～ 3 で説明した本発明の液晶表示装置（または液晶パネル）の作製工程例を以下に説明する。本実施形態では、絶縁表面を有する基板上に複数の T F T を形成し、アクティブマトリクス回路、ソースドライバ、ゲートドライバ、および他の周辺回路等を同一基板上に形成する例を図 1 3 ～ 図 1 6 に示す。なお、以下の例では、アクティブマトリクス回路の 1 つの画素 T F T と、他の回路（ソースドライバ、ゲートドライバ、および他の周辺回路）の基本回路である C M O S 回路とが同時に形成される様子を示す。また、以下の例では、C M O S 回路においては P チャネル型 T F T と N チャネル型 T F T とがそれぞれ 1 つのゲート電極を備えている場合について、その作製工程を説明するが、ダブルゲイト型やトリプルゲイト型のような複数のゲイト電極を備えた T F T による C M O S 回路をも同様に作製することができる。また、以下の例では、画素 T F T はダブルゲイトの N チャネル型 T F T である、シングルゲイト、トリプルゲイト等の T F T としてもよい。また、上記実施形態 2 の液晶表示装置の様に、デジタルビデオデータ時間階調処理回路を同時に形成する様にしても良い。

## 【 0 0 9 2 】

図 1 3 (A) を参照する。まず、絶縁表面を有する基板として石英基板 5 0 0 1 を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。石英基板上に一旦非晶質シリコン膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。次に、下地膜 5 0 0 1 を形成する。本実施形態では、下地膜 5 0 0 1 には酸化シリコン ( $\text{SiO}_2$ ) が用いられた。次に、非晶質シリコン膜 5 0 0 3 を形成する。非晶質シリコン膜 5 0 0 3 は、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が 1 0 ～ 7 5 n m （好ましくは 1 5 ～ 4 5 n m ）となる様に調節する。

## 【 0 0 9 3 】

なお、非晶質シリコン膜 5003 の成膜に際して膜中の不純物濃度の管理を徹底に行うことが重要である。本実施形態の場合、非晶質シリコン膜 5003 中では、後の結晶化を阻害する不純物である C（炭素）および N（窒素）の濃度はいずれも  $5 \times 10^{18} \text{ atoms/cm}^3$  未満（代表的には  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、好ましくは  $2 \times 10^{17} \text{ atoms/cm}^3$  以下）、O（酸素）は  $1.5 \times 10^{19} \text{ atoms/cm}^3$  未満（代表的には  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下）となる様に管理する。なぜならば各不純物がこれ以上の濃度で存在すると、後の結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となるからである。本明細書中において膜中の上記の不純物元素濃度は、SIMS（質量 2 次イオン分析）の測定結果における最小値で定義される。

## 【0094】

上記構成を得るため、本実施形態で用いる減圧熱 CVD 炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておくことが望ましい。ドライクリーニングは、200～400℃程度に加熱した炉内に 100～300 sccm の  $\text{ClF}_3$ （フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

## 【0095】

なお、本出願人の知見によれば炉内温度 300℃とし、 $\text{ClF}_3$  ガスの流量を 300 sccm とした場合、約 2 μm 厚の付着物（主にシリコンを主成分する）を 4 時間で完全に除去することができる。

## 【0096】

また、非晶質シリコン膜 5003 中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質シリコン膜 5003 の成膜は減圧熱 CVD 法であることが好ましい。なお、成膜条件を最適化することでプラズマ CVD 法を用いることも可能である。

## 【0097】

次に、非晶質シリコン膜 5003 の結晶化工程を行う。結晶化の手段としては特開平 7-130652 号公報記載の技術を用いる。同公報の実施例 1 および実

施形態 2 のどちらの手段でも良いが、本実施形態では、同公報の実施例 2 に記載した技術内容（特開平 8-78329 号公報に詳しい）を利用するのが好ましい。

#### 【0098】

特開平 8-78329 号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜 4004 を 150 nm に形成する。マスク絶縁膜 4004 は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる（図 13（B））。

#### 【0099】

そして、非晶質シリコン膜 5003 の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液（Ni 酢酸塩エタノール溶液）5005 をスピコート法により塗布する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、ゲルマニウム（Ge）、白金（Pt）、銅（Cu）、金（Au）等を用いることができる（図 13（B））。

#### 【0100】

また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、後述する横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

#### 【0101】

触媒元素の添加工程が終了したら、次に、450℃で 1 時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において 500～960℃（代表的には 550～650℃）の温度で 4～24 時間の加熱処理を加えて非晶質シリコン膜 5003 の結晶化を行う。本実施形態では窒素雰囲気中で 570℃で 14 時間の加熱処理を行う。

#### 【0102】

この時、非晶質シリコン膜 5003 の結晶化は、ニッケルを添加した領域 4006 で発生した核から優先的に進行し、基板 5001 の基板面に対してほぼ平行に成長した多結晶シリコン膜からなる結晶領域 5007 が形成される。この結晶

領域 5007 を横成長領域と呼ぶ。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。

#### 【0103】

なお、マスク絶縁膜 5004 を用いずに、Ni 酢酸溶液を非晶質シリコン膜の前面に塗布し結晶化させることもできる。

#### 【0104】

図 13 (D) を参照する。次に、触媒元素のゲッタリングプロセスを行う。まず、リンイオンのドーピングを選択的に行う。マスク絶縁膜 5004 が形成された状態で、リンのドーピングを行う。すると、多結晶シリコン膜のマスク絶縁膜 5004 で覆われていない部分 5008 のみに、リンがドーピングされる（これらの領域をリン添加領域 5008 と呼ぶ）。このとき、ドーピングの加速電圧と、酸化膜で成るマスクの厚さを最適化し、リンがマスク絶縁膜 5004 を突き抜けないようにする。このマスク絶縁膜 5004 は、必ずしも酸化膜でなくてもよいが、酸化膜は活性層に直接触れても汚染の原因にならないので都合がよい。

#### 【0105】

リンのドーズ量は、 $1 \times 10^{14}$  から  $1 \times 10^{15}$  ions/cm<sup>2</sup> 程度とすると良い。本実施形態では、 $5 \times 10^{14}$  ions/cm<sup>2</sup> のドーズをイオンドーピング装置を用いて行った。

#### 【0106】

なお、イオンドーピングの際の加速電圧は 10 keV とした。10 keV の加速電圧であれば、リンは 150 nm のマスク絶縁膜をほとんど通過することができない。

#### 【0107】

図 13 (E) を参照する。次に、600℃の窒素雰囲気にて 1～12 時間（本実施形態では 12 時間）熱アニールし、ニッケル元素のゲッタリングを行った。こうすることによって、図 13 (E) において矢印で示されるように、ニッケルがリンに吸い寄せられることになる。600℃の温度のもとでは、リン原子は膜中をほとんど動かないが、ニッケル原子は数 100 μm 程度またはそれ以上の距離を移動することができる。このことからリンがニッケルのゲッタリングに最も

適した元素の1つであることが理解できる。

【0108】

次に図14 (A) を参照し、多結晶シリコン膜をパターニングする工程を説明する。このとき、リンの添加領域5008、すなわちニッケルがゲッタリングされた領域が残らないようにする。このようにして、ニッケル元素をほとんど含まない多結晶シリコン膜の活性層5009～5011が得られた。得られた多結晶シリコン膜の活性層5009～5011が後にTFTの活性層となる。

【0109】

図14 (B) を参照する。活性層5009～5011を形成したら、その上にシリコンを含む絶縁膜でなるゲイト絶縁膜5012を70nmに成膜する。そして、酸化性雰囲気において、800～1100℃（好ましくは950～1050℃）で加熱処理を行い、活性層5009～5011とゲイト絶縁膜5012の界面に熱酸化膜（図示せず）を形成する。

【0110】

なお、触媒元素をゲッタリングするための加熱処理（触媒元素のゲッタリングプロセス）を、この段階で行っても良い。その場合、加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による触媒元素のゲッタリング効果を利用する。なお、ハロゲン元素によるゲッタリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐れがある。また、この場合ハロゲン元素を含むガスとして、代表的にはHCl、HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>2</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲンを含む化合物から選ばれた一種または複数種のものをを用いることができる。この工程においては、例えばHClを用いた場合、活性層中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去され则认为られる。また、ハロゲン元素を用いて触媒元素のゲッタリングプロセスを行う場合、触媒元素のゲッタリングプロセスを、マスク絶縁膜5004を除去した後、活性層をパターンニングする前に行なってもよい。また、触媒元素のゲッタリングプロセスを、活性層をパターンニングした後に行なってもよい。

い。また、いずれのゲッタリングプロセスを組み合わせて行なってもよい。

【0111】

次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型を形成する。本実施形態では2wt%のスカンジウムを含有したアルミニウム膜を用いる。

【0112】

また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成しても良い。

【0113】

次に、特開平7-135318号公報記載の技術により多孔性陽極酸化膜5013~5020、無孔性陽極酸化膜5021~5024およびゲイト電極5025~5028を形成する(図14(B))。

【0114】

こうして図14(B)の状態が得られたら、次にゲイト電極5025~5028および多孔性陽極酸化膜5013~5020をマスクとしてゲイト絶縁膜5012をエッチングする。そして、多孔性陽極酸化膜5013~5020を除去し、図14(C)の状態を得る。なお、図14(C)において5029~5031で示されるのは加工後のゲイト絶縁膜である。

【0115】

図15(A)を参照する。次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはNチャネル型ならばP(リン)またはAs(砒素)、P型ならばB(ボロン)またはGa(ガリウム)を用いれば良い。

【0116】

本実施形態では、Nチャネル型およびPチャネル型のTFTを形成するための不純物添加をそれぞれ2回の工程に分けて行う。

【0117】

最初に、Nチャネル型のTFTを形成するための不純物添加を行う。まず、1回目の不純物添加(本実施形態ではP(リン)を用いる)を高加速電圧80keV程度で行い、 $n^-$ 領域を形成する。この $n^-$ 領域は、Pイオン濃度が $1 \times 10^{18}$



$\text{atoms/cm}^3 \sim 1 \times 10^{19} \text{ atoms/cm}^3$  となるように調節する。

【0118】

さらに、2回目の不純物添加を低加速電圧10keV程度で行い、 $n^+$ 領域を形成する。この時は、加速電圧が低いので、ゲイト絶縁膜がマスクとして機能する。また、この $n^+$ 領域は、シート抵抗が500Ω以下（好ましくは300Ω以下）となるように調節する。

【0119】

以上の工程を経て、CMOS回路を構成するNチャネル型TFTのソース領域およびドレイン領域5032および5033、低濃度不純物領域5036、チャネル形成領域5039が形成される。また、画素TFTを構成するNチャネル型TFTのソース領域およびドレイン領域5034および5035、低濃度不純物領域5037、チャネル形成領域5040および5014が確定する（図15（A））。

【0120】

なお、図15（A）に示す状態ではCMOS回路を構成するPチャネル型TFTの活性層は、Nチャネル型TFTの活性層と同じ構成となっている。

【0121】

次に、図15（B）に示すように、Nチャネル型TFTを覆ってレジストマスク5042を設け、P型を付与する不純物イオン（本実施形態ではボロンを用いる）の添加を行う。

【0122】

この工程も前述の不純物添加工程と同様に2回に分けて行うが、Nチャネル型をPチャネル型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB（ボロン）イオンを添加する。

【0123】

こうしてCMOS回路を構成するPチャネル型TFTのソース領域およびドレイン領域5043および5044、低濃度不純物領域5045、チャネル形成領域5046が形成される（図15（B））。

【0124】

また、導電性を付与するための不純物を添加した多結晶シリコン膜によってゲイト電極を形成した場合は、低濃度不純物の形成には公知のサイドウォール構造を用いれば良い。

## 【0125】

次に、ファーンেসアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

## 【0126】

図15(C)を参照する。次に、第1層間絶縁膜5047として酸化シリコン膜と窒化シリコン膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極およびドレイン電極5048～5052を形成する。なお、第1層間絶縁膜5047として有機性樹脂膜を用いることもできる。

## 【0127】

図16を参照する。次に、第2層間絶縁膜5053を窒化シリコン膜で形成する。そして次に、有機性樹脂膜からなる第3層間絶縁膜5054を0.5～3 $\mu$ mの厚さに形成する。有機性樹脂膜としては、ポリイミド、アクリル、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、成膜方法が簡単である点、容易に膜厚を厚くできる点、比誘電率が低いので寄生容量を低減できる点、平坦性に優れている点などが挙げられる。なお、上述した以外の有機性樹脂膜を用いることもできる。

## 【0128】

次に、第3層間絶縁膜5054の一部をエッチングし、画素TFTのドレイン電極5052の上部に第2層間絶縁膜を挟んでブラックマトリクス5054を形成する。本実施形態では、ブラックマトリクス5054にはTi(チタン)が用いられた。なお、本実施形態では、画素TFTとブラックマトリクスとの間で保持容量が形成される。

## 【0129】

次に、第2層間絶縁膜5053および第3層間絶縁膜5054にコンタクトホールを形成し、画素電極5057を120nmの厚さに形成する。なお、本実施

形態は透過型のアクティブマトリクス液晶表示装置の例であるため、画素電極 5057 を構成する導電膜として ITO 等の透明導電膜を用いる。

【0130】

次に、基板全体を 350℃ の水素雰囲気中で 1～2 時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。なお、この水素化処理を、プラズマ化させることによってできた水素で行っても良い。

【0131】

以上の工程を経て同一基板上に CMOS 回路および画素マトリクス回路を有するアクティブマトリクス基板が完成する。

【0132】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、アクティブマトリクス型液晶表示装置を作製する工程を説明する。

【0133】

図 16（B）の状態のアクティブマトリクス基板に配向膜 5058 を形成する。本実施形態では、配向膜 5058 にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板 5059、透明導電膜から成る対向電極 5060、配向膜 5061 とで構成される。

【0134】

なお、本実施形態では、配向膜にはポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施した。なお、本実施形態では、配向膜に比較的大きなプレチル角を持つようなポリイミドを用いた。

【0135】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶 5062 を注入し、封止剤（図示せず）によって完全に封止する。本実施形態では、液晶 5062 にネマチック液晶を用いた。

【0136】

よって、図 16（C）に示すような透過型のアクティブマトリクス型液晶表示

装置が完成する。

【0137】

なお、本実施形態で説明した非晶質シリコン膜の結晶化の方法の代わりに、レーザー光（代表的にはエキシマレーザー光）によって、非晶質シリコン膜の結晶化を行ってもよい。

【0138】

また、多結晶シリコン膜を用いる代わりに、スマートカット、SIMOX、エルトラン等のSOI構造（SOI基板）を用いて他のプロセスを行ってもよい。

【0139】

（実施形態5）

【0140】

本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

【0141】

〔島状半導体層、ゲート絶縁膜形成の工程：図17（A）〕

図17（A）において、基板7001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

【0142】

そして、基板7001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜7002をプラズマCVD法やスパッタ法で100～400nmの厚さに形成した。例えば下地膜7002として、窒化シリコン膜7002を25～100nm、ここでは50nmの厚さに、酸化シリコン膜7003を50～300nm、ここでは150nmの厚さとした2層構造で形成すると良い。下地膜7002は基板からの不純物汚染を防ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

【0143】

次に下地膜 7002 の上に 20~100 nm の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 400~550℃ で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気中にさらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。

## 【0144】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせる SOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

## 【0145】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層 7004~7006 を形成した。結晶質シリコン膜の n チャネル型 TFT が作製される領域には、しきい値電圧を制御するため、あらかじめ  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$  程度の濃度でボロン (B) を添加しておいても良い。

## 【0146】

次に、島状半導体層 7004~7006 を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜 7007 を形成した。ゲート絶縁膜 7007 は、10~200 nm、好ましくは 50~150 nm の厚さに形成すれば良い。例えば、プラズマ CVD 法で  $\text{N}_2\text{O}$  と  $\text{SiH}_4$  を原料とした窒化酸化シリコン膜を 75 nm 形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800~1000℃ で熱酸化して 115 nm のゲート絶縁膜としても良い。(図 17

(A))

【0147】

〔 $n^-$ 領域の形成：図17(B)〕

島状半導体層7004、7006及び配線を形成する領域の全面と、島状半導体層7005の一部（チャネル形成領域となる領域を含む）にレジストマスク7008～7011を形成し、 $n$ 型を付与する不純物元素を添加して低濃度不純物領域7012を形成した。この低濃度不純物領域7012は、後にCMOS回路の $n$ チャネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域（本明細書中では $L_{ov}$ 領域という。なお、 $ov$ とはoverlapの意味である。）を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれる $n$ 型を付与する不純物元素の濃度を（ $n^-$ ）で表すこととする。従って、本明細書中では低濃度不純物領域7012を $n^-$ 領域と言い換えることができる。

【0148】

ここではフォスフィン（ $PH_3$ ）を質量分離しないでプラズマ励起したイオンドーブ法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜7007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。

【0149】

その後、レジストマスク7008～7011を除去し、窒素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

【0150】

〔ゲート電極用および配線用導電膜の形成：図17(C)〕

第1の導電膜7013を、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素またはいずれかを主成分とする導電性材料で、10～100nmの厚さに形成した。第1の導電膜7013としては、例えば窒化タンタル（ $TaN$ ）や窒化タングステン（ $WN$ ）を用いることが

望ましい。さらに、第1の導電膜7013上に第2の導電膜7014をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100～400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜7013の下に導電膜7013、7014（特に導電膜7014）の酸化防止のためにシリコン膜を2～20nm程度の厚さで形成しておくことは有効である。

#### 【0151】

〔p-chゲート電極、配線電極の形成と $p^+$ 領域の形成：図18（A）〕

レジストマスク7015～7018を形成し、第1の導電膜と第2の導電膜（以下、積層膜として取り扱う）をエッチングして、pチャネル型TFTのゲート電極7019、ゲート配線7020、7021を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜7022、7023を残した。

#### 【0152】

そして、レジストマスク7015～7018をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層7004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン（ $B_2H_6$ ）を用いてイオンドープ法（勿論、イオンインプランテーション法でも良い）で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を（ $p^{++}$ ）で表すこととする。従って、本明細書中では不純物領域7024、7025を $p^{++}$ 領域と言い換えることができる。

#### 【0153】

なお、この工程において、レジストマスク7015～7018を使用してゲート絶縁膜7007をエッチング除去して、島状半導体層7004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

#### 【0154】

## 〔n-chゲート電極の形成：図18（B）〕

次に、レジストマスク7015～7018は除去した後、レジストマスク7026～7029を形成し、nチャネル型TFTのゲート電極7030、7031を形成した。このときゲート電極7030はn<sup>-</sup>領域7012とゲート絶縁膜を介して重なるように形成した。

## 【0155】

〔n<sup>+</sup>領域の形成：図18（C）〕

次に、レジストマスク7026～7029を除去し、レジストマスク7032～7034を形成した。そして、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク7034はnチャネル型TFTのゲート電極7031を覆う形で形成した。これは、後の工程において画素マトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

## 【0156】

そして、n型を付与する不純物元素を添加して不純物領域7035～7039を形成した。ここでも、フォスフィン（PH<sub>3</sub>）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。なお、ここで形成された不純物領域7037～7039に含まれるn型を付与する不純物元素の濃度を（n<sup>+</sup>）で表すこととする。従って、本明細書中では不純物領域7037～7039をn<sup>+</sup>領域と言い換えることができる。また、不純物領域7035、7036は既にn<sup>-</sup>領域が形成されていたので、厳密には不純物領域7037～7039よりも若干高い濃度でリンを含む。

## 【0157】

なお、この工程において、レジストマスク7032～7034およびゲート電極7030をマスクとしてゲート絶縁膜7007をエッチングし、島状半導体膜7005、7006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。



## 【0158】

〔 $n^-$ 領域の形成：図19（A）〕

次に、レジストマスク7032～7034を除去し、画素マトリクス回路の $n$ チャネル型TFTとなる島状半導体層7006に $n$ 型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域7040～7043には前記 $n^-$ 領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>）のリンが添加されるようにした。なお、ここで形成された不純物領域7040～7043に含まれる $n$ 型を付与する不純物元素の濃度を（ $n^-$ ）で表すこととする。従って、本明細書中では不純物領域7040～7043を $n^-$ 領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域7067を除いて全ての不純物領域に $n^?$ の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

## 【0159】

〔熱活性化の工程：図19（B）〕

次に、後に第1の層間絶縁膜の一部となる保護絶縁膜7044を形成した。保護絶縁膜7044は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400 nmとすれば良い。

## 【0160】

その後、それぞれの濃度で添加された $n$ 型または $p$ 型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

## 【0161】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。

水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【0162】

〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図19（C）〕

活性化工程を終えたら、保護絶縁膜7044の上に0.5～1.5 $\mu\text{m}$ 厚の層間絶縁膜7045を形成した。前記保護絶縁膜7044と層間絶縁膜7045とでなる積層膜を第1の層間絶縁膜とした。

## 【0163】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極7046～7048と、ドレイン電極7049、7050を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

## 【0164】

次に、パッシベーション膜7051として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜7051に開口部を形成しておいても良い。

## 【0165】

その後、有機樹脂からなる第2の層間絶縁膜7052を約1 $\mu\text{m}$ の厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機

樹脂膜や有機系SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

## 【0166】

次に、画素マトリクス回路となる領域において、第2の層間絶縁膜7052上に遮光膜7053を形成した。遮光膜7053はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素またはいずれかを主成分とする膜で100～300nmの厚さに形成した。そして、遮光膜7054の表面に陽極酸化法またはプラズマ酸化法により30～150nm（好ましくは50～75nm）の厚さの酸化膜7054を形成した。ここでは遮光膜7053としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜7054として酸化アルミニウム膜（アルミナ膜）を用いた。

## 【0167】

なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

## 【0168】

次に、第2の層間絶縁膜7052にドレイン電極7050に達するコンタクトホールを形成し、画素電極7055を形成した。なお、画素電極7056、7057はそれぞれ隣接する別の画素の画素電極である。画素電極7055～7057は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

## 【0169】

また、この時、画素電極7055と遮光膜7053とが酸化膜7054を介して重なった領域7058が保持容量を形成した。

## 【0170】

こうして同一基板上に、ドライバー回路となるCMOS回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT7081、pチャネル型TFT7082が形成され、画素マトリクス回路にはnチャネル型TFTでなる画素TFT7083が形成された。

## 【0171】

CMOS回路のpチャネル型TFT7081には、チャネル形成領域7061、ソース領域7062、ドレイン領域7063がそれぞれ $p^+$ 領域で形成された。また、nチャネル型TFT7082には、チャネル形成領域7064、ソース領域7065、ドレイン領域7066、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）7067が形成された。この時、ソース領域7065、ドレイン領域7066はそれぞれ $(n^- + n^+)$ 領域で形成され、Lov領域7067は $n^-$ 領域で形成された。

## 【0172】

また、画素TFT7083には、チャネル形成領域7068、7069、ソース領域7070、ドレイン領域7071、ゲート絶縁膜を介してゲート電極と重ならないLDD領域（以下、Loff領域という。なお、offとはoffsetの意である。）7072～7075、Loff領域7073、7074に接した $n^+$ 領域7076が形成された。この時、ソース領域7070、ドレイン領域7071はそれぞれ $n^+$ 領域で形成され、Loff領域7072～7075は $n^{--}$ 領域で形成された。

## 【0173】

ここでは、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

## 【0174】

例えば、アクティブマトリクス型液晶表示装置の場合、 $n$ チャネル型TFT7082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、 $n$ チャネル型TFT7083は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

## 【0175】

また、チャネル長 $3\sim 7\mu\text{m}$ に対して $L_{ov}$ 領域の長さ（幅）は $0.5\sim 3.0\mu\text{m}$ 、代表的には $1.0\sim 1.5\mu\text{m}$ とすれば良い。また、画素TFT7083に設けられる $L_{off}$ 領域7072～7075の長さ（幅）は $0.5\sim 3.5\mu\text{m}$ 、代表的には $2.0\sim 2.5\mu\text{m}$ とすれば良い。

## 【0176】

（実施形態6）

## 【0177】

本実施形態では、本発明の液晶表示装置の別の作製方法について説明する。ここでは、アクティブマトリクス回路とその周辺に設けられる駆動回路のTFTを同時に作製する方法について説明する。

## 【0178】

〔島状半導体層、ゲート絶縁膜形成の工程：図20（A）〕

図20（A）において、基板6001には、無アルカリガラス基板や石英基板を使用することが望ましい。その他にもシリコン基板や金属基板の表面に絶縁膜を形成したものを基板としても良い。

## 【0179】

そして、基板6001のTFTが形成される表面には、酸化シリコン膜、窒化シリコン膜、または窒化酸化シリコン膜からなる下地膜6002をプラズマCVD法やスパッタ法で $100\sim 400\text{nm}$ の厚さに形成した。例えば下地膜6002として、窒化シリコン膜6002を $25\sim 100\text{nm}$ 、ここでは $50\text{nm}$ の厚さに、酸化シリコン膜6003を $50\sim 300\text{nm}$ 、ここでは $150\text{nm}$ の厚さとした2層構造で形成すると良い。下地膜6002は基板からの不純物汚染を防

ぐために設けられるものであり、石英基板を用いた場合には必ずしも設けなくても良い。

#### 【0180】

次に下地膜 6002 の上に 20～100 nm の厚さの、非晶質シリコン膜を公知の成膜法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは 400～550℃ で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。ここでは、下地膜と非晶質シリコン膜とは、同じ成膜法で形成することが可能であるので両者を連続形成しても良い。下地膜を形成後、一旦大気雰囲気にはさらされないようにすることで表面の汚染を防ぐことが可能となり、作製される TFT の特性バラツキを低減させることができる。

#### 【0181】

非晶質シリコン膜から結晶質シリコン膜を形成する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。また、シリコンの結晶化を助長する触媒元素を用いて熱結晶化の方法で結晶質シリコン膜を作製しても良い。その他に、微結晶シリコン膜を用いても良いし、結晶質シリコン膜を直接堆積成膜しても良い。さらに、単結晶シリコンを基板上に貼りあわせる SOI (Silicon On Insulators) の公知技術を使用して結晶質シリコン膜を形成しても良い。

#### 【0182】

こうして形成された結晶質シリコン膜の不要な部分をエッチング除去して、島状半導体層 6004～6006 を形成した。結晶質シリコン膜の n チャネル型 TFT が作製される領域には、しきい値電圧を制御するため、あらかじめ  $1 \times 10^{15} \sim 5 \times 10^{17} \text{ cm}^{-3}$  程度の濃度でボロン (B) を添加しておいても良い。

#### 【0183】

次に、島状半導体層 6004～6006 を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜 6007 を形成した。ゲート絶縁膜 6007 は、10～200 nm、好ましくは 50～150 nm の厚さに形成すれば良い。

例えば、プラズマCVD法で $\text{N}_2\text{O}$ と $\text{SiH}_4$ を原料とした窒化酸化シリコン膜を75nm形成し、その後、酸素雰囲気中または酸素と塩酸の混合雰囲気中、800～1000℃で熱酸化して115nmのゲート絶縁膜としても良い。(図20(A))

## 【0184】

[ $\text{n}^-$ 領域の形成：図20(B)]

島状半導体層6004、6006及び配線を形成する領域の全面と、島状半導体層6005の一部(チャンネル形成領域となる領域を含む)にレジストマスク6008～6011を形成し、 $\text{n}$ 型を付与する不純物元素を添加して低濃度不純物領域6012、6013を形成した。この低濃度不純物領域6012、6013は、後にCMOS回路の $\text{n}$ チャンネル型TFTに、ゲート絶縁膜を介してゲート電極と重なるLDD領域(本明細書中では $\text{L}_{\text{ov}}$ 領域という。なお、 $\text{ov}$ とはoverlapの意味である。)を形成するための不純物領域である。なお、ここで形成された低濃度不純物領域に含まれる $\text{n}$ 型を付与する不純物元素の濃度を( $\text{n}^-$ )で表すこととする。従って、本明細書中では低濃度不純物領域6012、6013を $\text{n}^-$ 領域と言い換えることができる。

## 【0185】

ここではフォスフィン( $\text{PH}_3$ )を質量分離しないでプラズマ励起したイオンドーピング法でリンを添加した。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、ゲート絶縁膜6007を通してその下の半導体層にリンを添加した。添加するリン濃度は、 $5 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{atoms/cm}^3$ とした。

## 【0186】

その後、レジストマスク6008～6011を除去し、酸素雰囲気中で400～900℃、好ましくは550～800℃で1～12時間の熱処理を行ない、この工程で添加されたリンを活性化する工程を行なった。

## 【0187】

[ゲート電極用および配線用導電膜の形成：図20(C)]

第1の導電膜6014を、タンタル(Ta)、チタン(Ti)、モリブデン(

Mo)、タングステン(W)から選ばれた元素またはいずれかを主成分とする導電性材料で、10~100nmの厚さに形成した。第1の導電膜6014としては、例えば窒化タンタル(TaN)や窒化タングステン(WN)を用いることが望ましい。さらに、第1の導電膜6014上に第2の導電膜6015をTa、Ti、Mo、Wから選ばれた元素またはいずれかを主成分とする導電性材料で、100~400nmの厚さに形成した。例えば、Taを200nmの厚さに形成すれば良い。また、図示しないが、第1の導電膜6014の下に導電膜6014、6015(特に導電膜6015)の酸化防止のためにシリコン膜を2~20nm程度の厚さで形成しておくことは有効である。

## 【0188】

[p-chゲート電極、配線電極の形成と $p^+$ 領域の形成：図21(A)]

レジストマスク6016~6019を形成し、第1の導電膜と第2の導電膜(以下、積層膜として取り扱う)をエッチングして、pチャネル型TFTのゲート電極6020、ゲート配線6021、6022を形成した。なお、nチャネル型TFTとなる領域の上には全面を覆うように導電膜6023、6024を残した。

## 【0189】

そして、レジストマスク6016~6019をそのまま残してマスクとし、pチャネル型TFTが形成される半導体層6004の一部に、p型を付与する不純物元素を添加する工程を行った。ここではボロンをその不純物元素として、ジボラン( $B_2H_6$ )を用いてイオンドープ法(勿論、イオンインプランテーション法でも良い)で添加した。ここでは $5 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ の濃度にボロンを添加した。なお、ここで形成された不純物領域に含まれるp型を付与する不純物元素の濃度を( $p^{++}$ )で表すこととする。従って、本明細書中では不純物領域6025、6026を $p^{++}$ 領域と言い換えることができる。

## 【0190】

なお、この工程において、レジストマスク6016~6019を使用してゲート絶縁膜6007をエッチング除去して、島状半導体層6004の一部を露出させた後、p型を付与する不純物元素を添加する工程を行っても良い。その場合、



加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

## 【0191】

〔n-chゲート電極の形成：図21（B）〕

次に、レジストマスク6016～6019は除去した後、レジストマスク6027～6030を形成し、nチャネル型TFTのゲート電極6031、6032を形成した。このときゲート電極6031は $n^-$ 領域6012、6013とゲート絶縁膜を介して重なるように形成した。

## 【0192】

〔 $n^+$ 領域の形成：図21（C）〕

次に、レジストマスク6027～6030を除去し、レジストマスク6033～6035を形成した。そして、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域を形成する工程を行なった。レジストマスク6035はnチャネル型TFTのゲート電極6032を覆う形で形成した。これは、後の工程において画素マトリクス回路のnチャネル型TFTに、ゲート電極と重ならないようにLDD領域を形成するためである。

## 【0193】

そして、n型を付与する不純物元素を添加して不純物領域6036～6040を形成した。ここでも、フォスフィン（ $\text{PH}_3$ ）を用いたイオンドープ法（勿論、イオンインプランテーション法でも良い）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。なお、ここで形成された不純物領域6038～6040に含まれるn型を付与する不純物元素の濃度を（ $n^+$ ）で表すこととする。従って、本明細書中では不純物領域6038～6040を $n^+$ 領域と言い換えることができる。また、不純物領域6036、6037は既に $n^-$ 領域が形成されていたので、厳密には不純物領域6038～6040よりも若干高い濃度でリンを含む。

## 【0194】

なお、この工程において、レジストマスク6033～6035およびゲート電極6031をマスクとしてゲート絶縁膜6007をエッチングし、島状半導体膜

6005、6006の一部を露出させた後、n型を付与する不純物元素を添加する工程を行っても良い。その場合、加速電圧が低くて済むため、島状半導体膜に与えるダメージも少ないし、スループットも向上する。

## 【0195】

〔n<sup>-</sup>領域の形成：図22（A）〕

次に、レジストマスク6033～6035を除去し、画素マトリクス回路のnチャネル型TFTとなる島状半導体層6006にn型を付与する不純物元素を添加する工程を行った。こうして形成された不純物領域6041～6044には前記n<sup>-</sup>領域と同程度かそれより少ない濃度（具体的には $5 \times 10^{16} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup>）のリンが添加されるようにした。なお、ここで形成された不純物領域6041～6044に含まれるn型を付与する不純物元素の濃度を（n<sup>-</sup>）で表すこととする。従って、本明細書中では不純物領域6041～6044をn<sup>-</sup>領域と言い換えることができる。また、この工程ではゲート電極で隠された不純物領域6068を除いて全ての不純物領域にn<sup>?</sup>の濃度でリンが添加されているが、非常に低濃度であるため無視して差し支えない。

## 【0196】

〔熱活性化の工程：図22（B）〕

次に、後に第1の層間絶縁膜の一部となる保護絶縁膜6045を形成した。保護絶縁膜6045は窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は100～400 nmとすれば良い。

## 【0197】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行った。この工程はファーネスアニール法、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）で行うことができる。ここではファーネスアニール法で活性化工程を行った。加熱処理は、窒素雰囲気中において300～650℃、好ましくは400～550℃、ここでは450℃、2時間の熱処理を行った。

## 【0198】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

## 【0199】

〔層間絶縁膜、ソース／ドレイン電極、遮光膜、画素電極、保持容量の形成：図22（C）〕

活性化工程を終えたら、保護絶縁膜6045の上に0.5～1.5 $\mu\text{m}$ 厚の層間絶縁膜6046を形成した。前記保護絶縁膜6045と層間絶縁膜6046とでなる積層膜を第1の層間絶縁膜とした。

## 【0200】

その後、それぞれのTFTのソース領域またはドレイン領域に達するコンタクトホールが形成され、ソース電極6047～6049と、ドレイン電極6050、6051を形成した。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

## 【0201】

次に、パッシベーション膜6052として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50～500nm（代表的には200～300nm）の厚さで形成した。その後、この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン電極を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6052に開口部を形成しておいても良い。

## 【0202】

その後、有機樹脂からなる第2の層間絶縁膜6053を約1 $\mu\text{m}$ の厚さに形成した。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミ

ド、BCB（ベンゾシクロブテン）等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお上述した以外の有機樹脂膜や有機系SiO化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

#### 【0203】

次に、画素マトリクス回路となる領域において、第2の層間絶縁膜6053上に遮光膜6054を形成した。遮光膜6054はアルミニウム（Al）、チタン（Ti）、タンタル（Ta）から選ばれた元素またはいずれかを主成分とする膜で100～300nmの厚さに形成した。そして、遮光膜6055の表面に陽極酸化法またはプラズマ酸化法により30～150nm（好ましくは50～75nm）の厚さの酸化膜6055を形成した。ここでは遮光膜6055としてアルミニウム膜またはアルミニウムを主成分とする膜を用い、酸化膜6055として酸化アルミニウム膜（アルミナ膜）を用いた。

#### 【0204】

なお、ここでは遮光膜表面のみに絶縁膜を設ける構成としたが、絶縁膜をプラズマCVD法、熱CVD法またはスパッタ法などの気相法によって形成しても良い。その場合も膜厚は30～150nm（好ましくは50～75nm）とすることが好ましい。また、酸化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、DLC（Diamond like carbon）膜または有機樹脂膜を用いても良い。さらに、これらを組み合わせた積層膜を用いても良い。

#### 【0205】

次に、第2の層間絶縁膜6055にドレイン電極6051に達するコンタクトホールを形成し、画素電極6056を形成した。なお、画素電極6057、6058はそれぞれ隣接する別の画素の画素電極である。画素電極6056～6058は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。

## 【0206】

また、この時、画素電極6056と遮光膜6054とが酸化膜6055を介して重なった領域6059が保持容量を形成した。

## 【0207】

こうして同一基板上に、ドライバー回路となるCMOS回路と画素マトリクス回路とを有したアクティブマトリクス基板が完成した。なお、ドライバー回路となるCMOS回路にはnチャネル型TFT6081、pチャネル型TFT6082が形成され、画素マトリクス回路にはnチャネル型TFTでなる画素TFT6083が形成された。

## 【0208】

CMOS回路のpチャネル型TFT6081には、チャネル形成領域6062、ソース領域6063、ドレイン領域6064がそれぞれ $p^+$ 領域で形成された。また、nチャネル型TFT6082には、チャネル形成領域6065、ソース領域6066、ドレイン領域6067、ゲート絶縁膜を介してゲート電極と重なったLDD領域（以下、Lov領域という。なお、ovとはoverlapの意である。）6068が形成された。この時、ソース領域6066、ドレイン領域6067はそれぞれ $(n^- + n^+)$ 領域で形成され、Lov領域6068は $n^-$ 領域で形成された。

## 【0209】

また、画素TFT6084には、チャネル形成領域6069、6070、ソース領域6071、ドレイン領域6072、ゲート絶縁膜を介してゲート電極と重ならないLDD領域（以下、Loff領域という。なお、offとはoffsetの意である。）6073～6076、Loff領域6074、6075に接した $n^+$ 領域6077が形成された。この時、ソース領域6071、ドレイン領域6072はそれぞれ $n^+$ 領域で形成され、Loff領域6073～6076は $n^-$ 領域で形成された。

## 【0210】

ここでは、画素マトリクス回路およびドライバー回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能および信頼性を向上させることができた。具体的には、nチャネル型TFTは回路仕様に

応じてLDD領域の配置を異ならせ、Lov領域またはLoff領域を使い分けることによって、同一基板上に高速動作またはホットキャリア対策を重視したTFT構造と低オフ電流動作を重視したTFT構造とを実現した。

## 【0211】

例えば、アクティブマトリクス型液晶表示装置の場合、nチャネル型TFT6082は高速動作を重視するシフトレジスタ回路、分周波回路、信号分割回路、レベルシフタ回路、バッファ回路などのロジック回路に適している。また、nチャネル型TFT6083は低オフ電流動作を重視した画素マトリクス回路、サンプリング回路（サンプルホールド回路）に適している。

## 【0212】

また、チャネル長 $3\sim 7\mu\text{m}$ に対してLov領域の長さ（幅）は $0.5\sim 3.0\mu\text{m}$ 、代表的には $1.0\sim 1.5\mu\text{m}$ とすれば良い。また、画素TFT6083に設けられるLoff領域6073～6076の長さ（幅）は $0.5\sim 3.5\mu\text{m}$ 、代表的には $2.0\sim 2.5\mu\text{m}$ とすれば良い。

## 【0213】

（実施形態7）

## 【0214】

上記実施形態4～6によって作製された液晶表示装置には、TN液晶以外にも様々な液晶材料を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCDC Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al., または米国特許第5594569号に開示された液晶材料を用いることが可能である。

## 【0215】

特に、無しきい値反強誘電性液晶材料や、強誘電性液晶材料と反強誘電性液晶材料との混合液晶材料である無しきい値反強誘電性混合液晶の中には、その駆動電圧が $\pm 2.5\text{V}$ 程度のものも見出されている。このような低電圧駆動の無しき

い値反強誘電性混合液晶を用いた場合には、画像信号のサンプリング回路の電源電圧を5V～8V程度に抑えることが可能となり、比較的LDD領域（低濃度不純物領域）の幅が小さなTFT（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

## 【0216】

ここで、無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示すグラフを図に示す。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の偏光軸に対してほぼ直角（クロスニコル）に設定されている。このように、無しきい値反強誘電性混合液晶を用いると、図のような印加電圧－透過率特性を示す階調表示を行うことが可能であることがわかる。

## 【0217】

また、一般に、無しきい値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しきい値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しきい値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を、線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィードピリオド）を長くし、保持容量が小さくてもそれを補うこともできる。

## 【0218】

なお、無しきい値反強誘電性液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

## 【0219】

（実施形態8）

## 【0220】

上述の実施形態1～3で説明した本発明の液晶表示装置は、図24に示すような3板式のプロジェクタに用いることができる。

## 【0221】

図24において、2401は白色光源、2402～2405はダイクロイックミラー、2406ならびに2407は全反射ミラー、2408～2410は本発明の液晶表示装置、および2411は投影レンズである。

【0222】

(実施形態9)

【0223】

また、上述の実施形態1～3で説明した本発明の液晶表示装置は、図25に示すような3板式のプロジェクタに用いることもできる。

【0224】

図25において、2501は白色光源、2502ならびに2503はダイクロイックミラー、2504～2506は全反射ミラー、2507～2509は本発明の液晶表示装置、および2510はダイクロイックプリズム、および2511は投影レンズである。

【0225】

(実施形態10)

【0226】

また、上述の実施形態1～3で説明した本発明の液晶表示装置は、図26に示すような単板式のプロジェクタに用いることもできる。

【0227】

図25において、2501はランプとリフレクターとから成る白色光源である。2502、2503、および2504は、ダイクロイックミラーであり、それぞれ青、赤、緑の波長領域の光を選択的に反射する。2505はマイクロレンズアレイであり、複数のマイクロレンズによって構成されている。2506は本発明の液晶表示装置である。2507は集光レンズ、2508は投射レンズ、2509はスクリーンである。

【0228】

(実施形態11)

【0229】

上記実施形態8～10のプロジェクターは、その投影方法によってリアプロジ



ェクターとフロントプロジェクターとがある。

【0230】

図27(A)はフロント型プロジェクターであり、本体10001、本発明の液晶表示装置10002、光源10003、光学系10004、スクリーン10005で構成されている。なお、図27(A)には、液晶表示装置を1つ組み込んだフロントプロジェクターが示されているが、液晶表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込むことによって、より高解像度・高精細のフロント型プロジェクタを実現することができる。

【0231】

図27(B)はリア型プロジェクターであり、10006は本体、10007は液晶表示装置であり、10008は光源であり、10009はリフレクター、10010はスクリーンである。なお、図27(B)には、アクティブマトリクス型半導体表示装置を3個(R、G、Bの光にそれぞれ対応させる)組み込んだリア型プロジェクタが示されている。

【0232】

(実施形態12)

【0233】

本実施形態では、本発明の液晶表示装置をゴーグル型ディスプレイに用いた例を示す。

【0234】

図28を参照する。2801はゴーグル型ディスプレイ本体である。2802-Rならびに2802-Lは本発明の液晶表示装置であり、2803-Rならびに2803-LはLEDバックライトであり、2804-Rならびに2804-Lは光学素子である。

【0235】

(実施形態13)

【0236】

本実施形態においては、本発明の液晶表示装置のバックライトにLEDを用いて、フィールドシーケンシャル駆動を行うものである。

## 【0237】

図29に示すフィールドシーケンシャル駆動方法のタイミングチャートには、画像信号書き込みの開始信号（Vsync信号）、赤（R）、緑（G）ならびに青（B）のLEDの点灯タイミング信号（R、GならびにB）、およびビデオ信号（VIDEO）が示されている。Tfはフレーム期間である。また、TR、TG、TBは、それぞれ赤（R）、緑（G）、青（B）のLED点灯期間である。

## 【0238】

液晶表示装置に供給される画像信号、例えばR1は、外部から入力される赤に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばG1は、外部から入力される緑に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。また、液晶パネルに供給される画像信号、例えばB1は、外部から入力される青に対応する元のビデオデータが時間軸方向に1/3に圧縮された信号である。

## 【0239】

フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間（TR）には、赤に対応したビデオ信号（R1）が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオデータ（G1）が液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオデータ（B1）が液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

## 【0240】

（実施形態14）

## 【0241】

本実施形態においては、本発明の液晶表示装置をノートブック型パーソナルコンピュータに用いた例を図30に示す。

## 【0242】

3001はノートブック型パーソナルコンピュータ本体であり、3002は本発明の液晶表示装置である。また、バックライトにはLEDが用いられている。なお、バックライトに従来のように陰極管を用いても良い。

【0243】

(実施形態15)

【0244】

本発明の液晶表示装置には他に様々な用途がある。本実施形態では、本発明の液晶表示装置を組み込んだ半導体装置について説明する。

【0245】

このような半導体装置には、ビデオカメラ、スチルカメラ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話など）などが挙げられる。それらの一例を図31に示す。

【0246】

図31(A)は携帯電話であり、本体11001、音声出力部11002、音声入力部11003、本発明の液晶表示装置11004、操作スイッチ11005、アンテナ11006で構成される。

【0247】

図31(B)はビデオカメラであり、本体12007、本発明の液晶表示装置12008、音声入力部12009、操作スイッチ12010、バッテリー12011、受像部12012で構成される。

【0248】

図31(C)はモバイルコンピュータであり、本体13013、カメラ部13014、受像部13015、操作スイッチ13016、本発明の液晶表示装置13017で構成される。

【0249】

図31(D)は携帯書籍（電子書籍）であり、本体14001、本発明の液晶表示装置14002、14003、記憶媒体14004、操作スイッチ14005、アンテナ14006で構成される。

【0250】

【発明の効果】

【0 2 5 1】

本発明の液晶表示装置によると、D/A変換回路の能力以上の多階調表示をおこなうことができる。よって、小型の液晶表示装置を実現することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の液晶表示装置の概略構成図である。

【図 2】 本発明の液晶表示装置の概略構成図である。

【図 3】 本発明のある実施形態の液晶表示装置の概略構成図である。

【図 4】 本発明のある実施形態の液晶表示装置のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図 5】 本発明のある実施形態の液晶表示装置の階調表示レベルを示す図である。

【図 6】 本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図 7】 本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図 8】 本発明のある実施形態の液晶表示装置の概略構成図である。

【図 9】 本発明のある実施形態の液晶表示装置の概略構成図である。

【図 1 0】 本発明のある実施形態の液晶表示装置の概略構成図である。

【図 1 1】 本発明のある実施形態の液晶表示装置のアクティブマトリクス回路、ソースドライバおよびゲートドライバの回路構成図である。

【図 1 2】 本発明のある実施形態の液晶表示装置の駆動タイミングチャートを示す図である。

【図 1 3】 本発明の液晶表示装置の作製工程例を示す図である。

【図 1 4】 本発明の液晶表示装置の作製工程例を示す図である。

【図 1 5】 本発明の液晶表示装置の作製工程例を示す図である。

【図 1 6】 本発明の液晶表示装置の作製工程例を示す図である。

【図 1 7】 本発明の液晶表示装置の作製工程例を示す図である。

- 【図 1 8】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 1 9】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 2 0】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 2 1】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 2 2】 本発明の液晶表示装置の作製工程例を示す図である。
- 【図 2 3】 無しきい値反強誘電性混合液晶の印加電圧－透過率特性を示すグラフである。
- 【図 2 4】 本発明の液晶表示装置を用いた 3 板式プロジェクタの概略構成図である。
- 【図 2 5】 本発明の液晶表示装置を用いた 3 板式プロジェクタの概略構成図である。
- 【図 2 6】 本発明の液晶表示装置を用いた単板式プロジェクタの概略構成図である。
- 【図 2 7】 本発明の液晶表示装置を用いたフロントプロジェクタおよびリアプロジェクタの概略構成図である。
- 【図 2 8】 本発明の液晶表示装置を用いたゴーグル型ディスプレイの概略構成図である。
- 【図 2 9】 フィールドシーケンシャル駆動のタイミングチャートである。
- 【図 3 0】 本発明の液晶表示装置を用いたノートブック型パーソナルコンピュータの概略構成図である。
- 【図 3 1】 本発明の液晶表示装置を用いた電子機器の例である。

【符号の説明】

- 1 0 1 液晶表示装置
- 1 0 1 - 1 ソースドライバ
- 1 0 1 - 2 ゲートドライバ
- 1 0 1 - 3 ゲートドライバ
- 1 0 1 - 4 アクティブマトリクス回路
- 1 0 2 デジタルビデオデータ時間階調処理回路

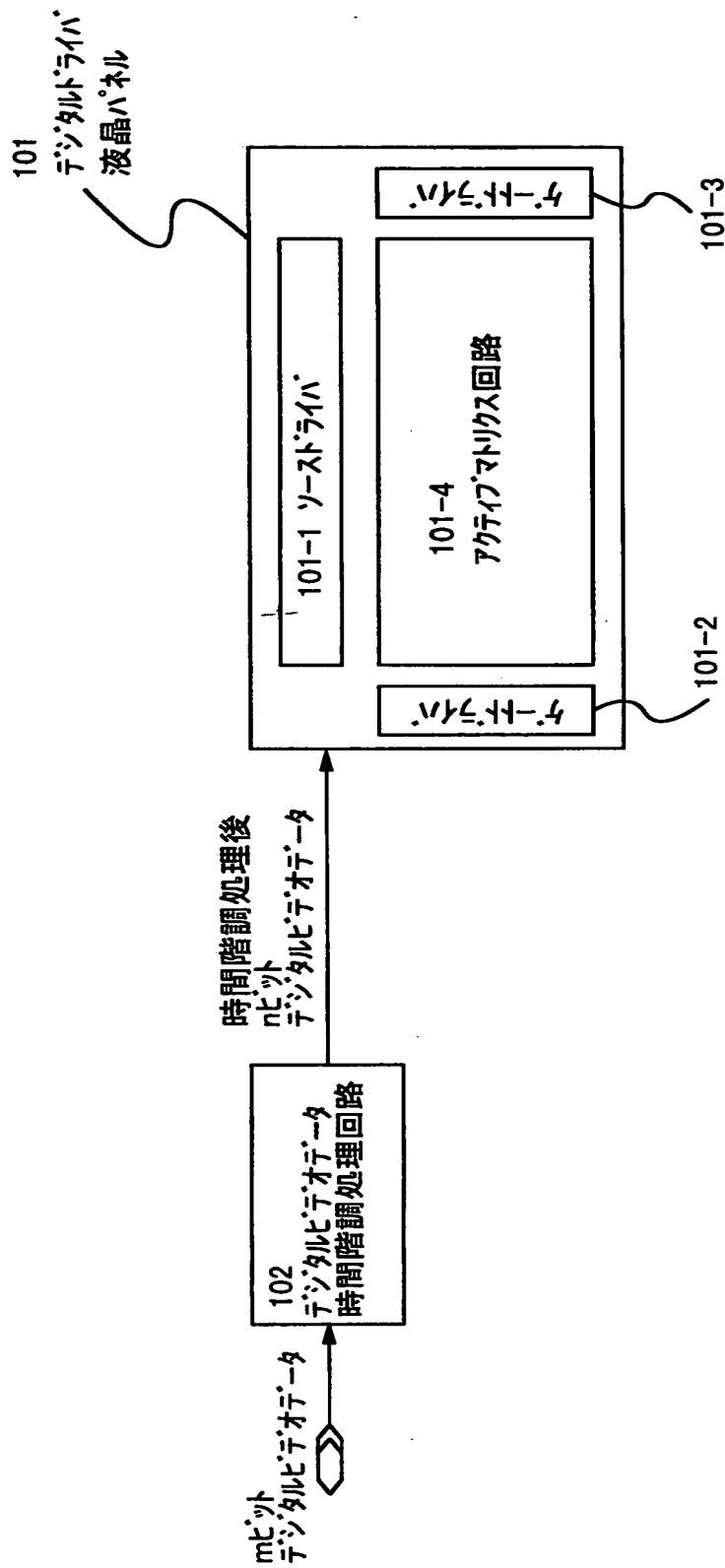
特平 1 1 - 0 4 5 7 7 6

特平 1 1 - 0 4 5 7 7 6

【書類名】

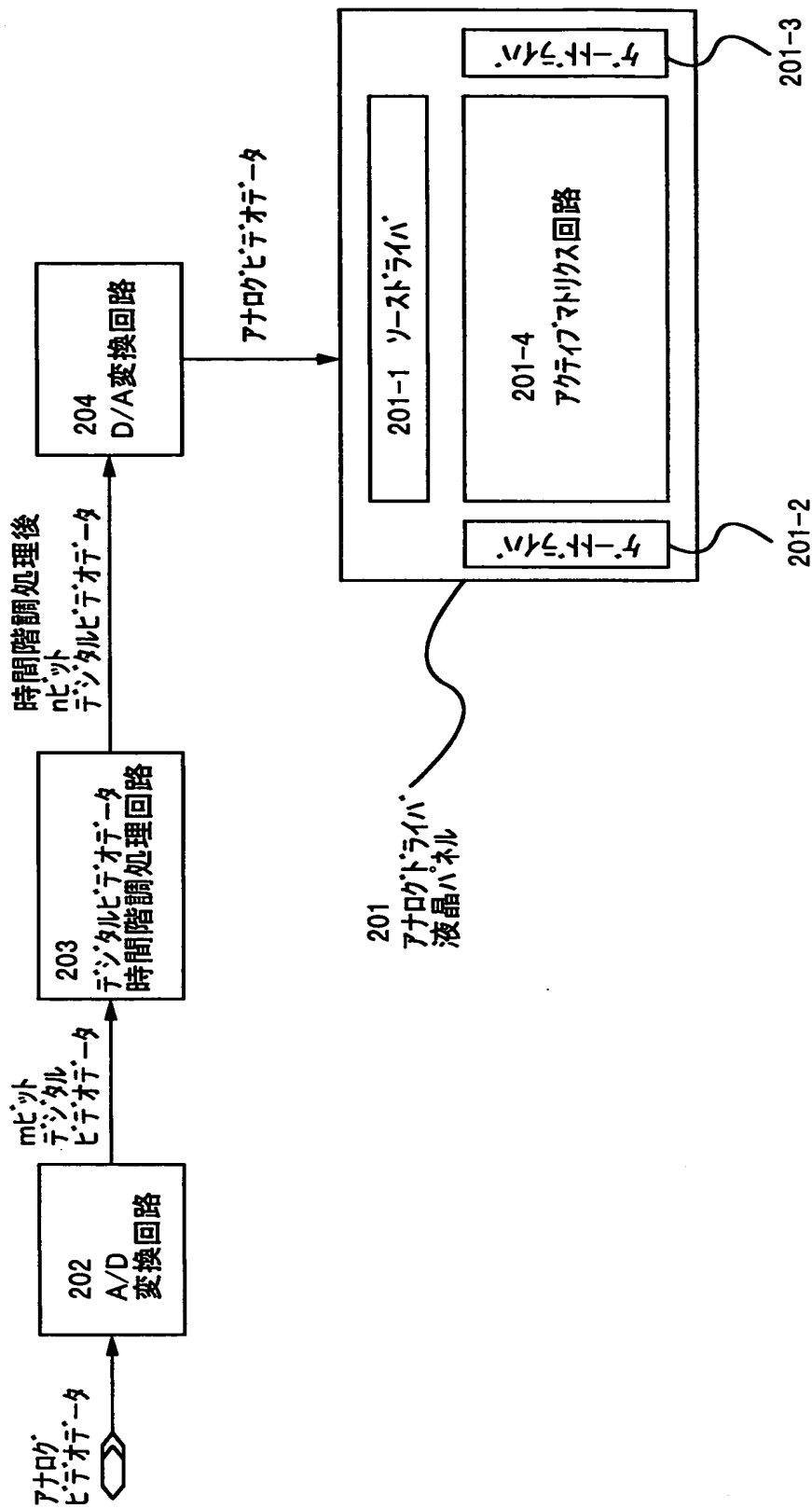
図面

【図 1】

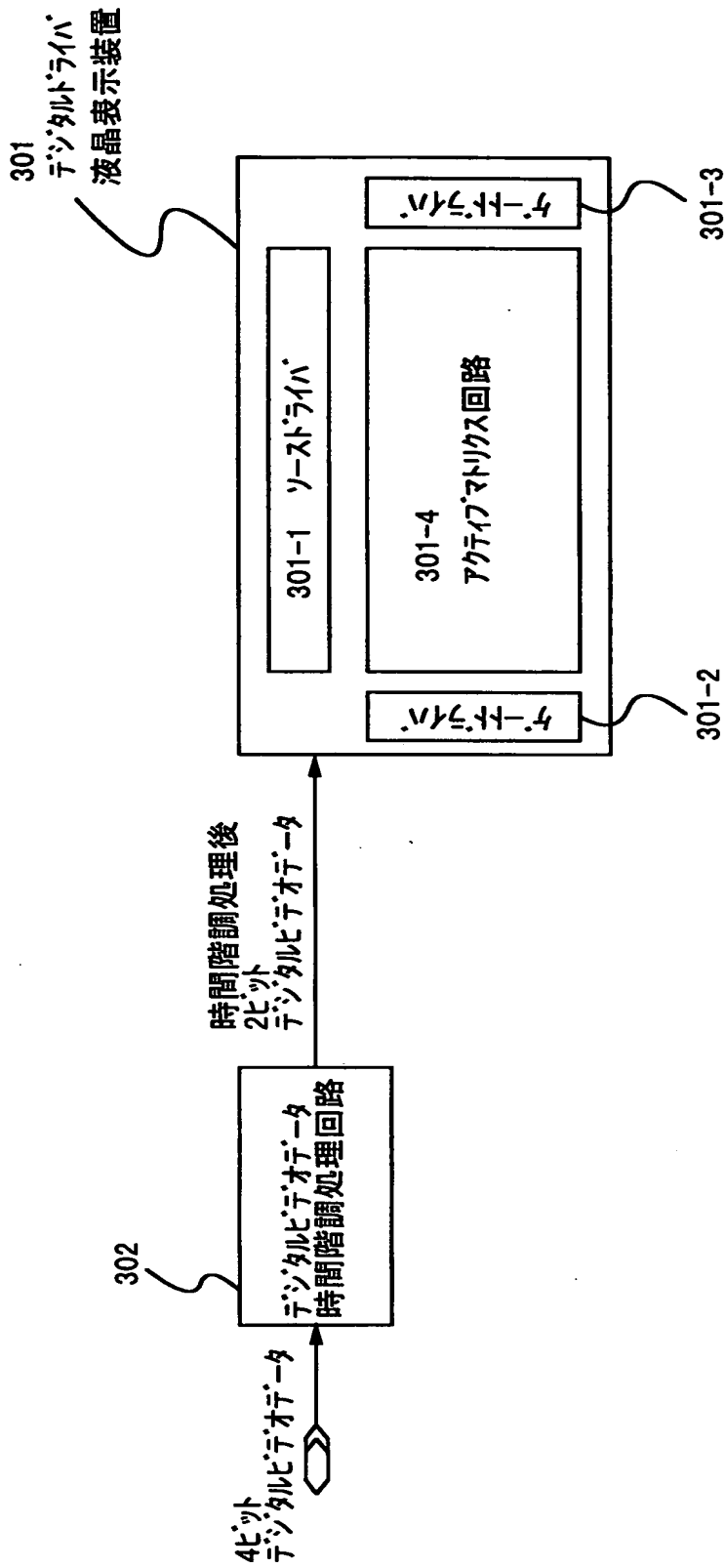




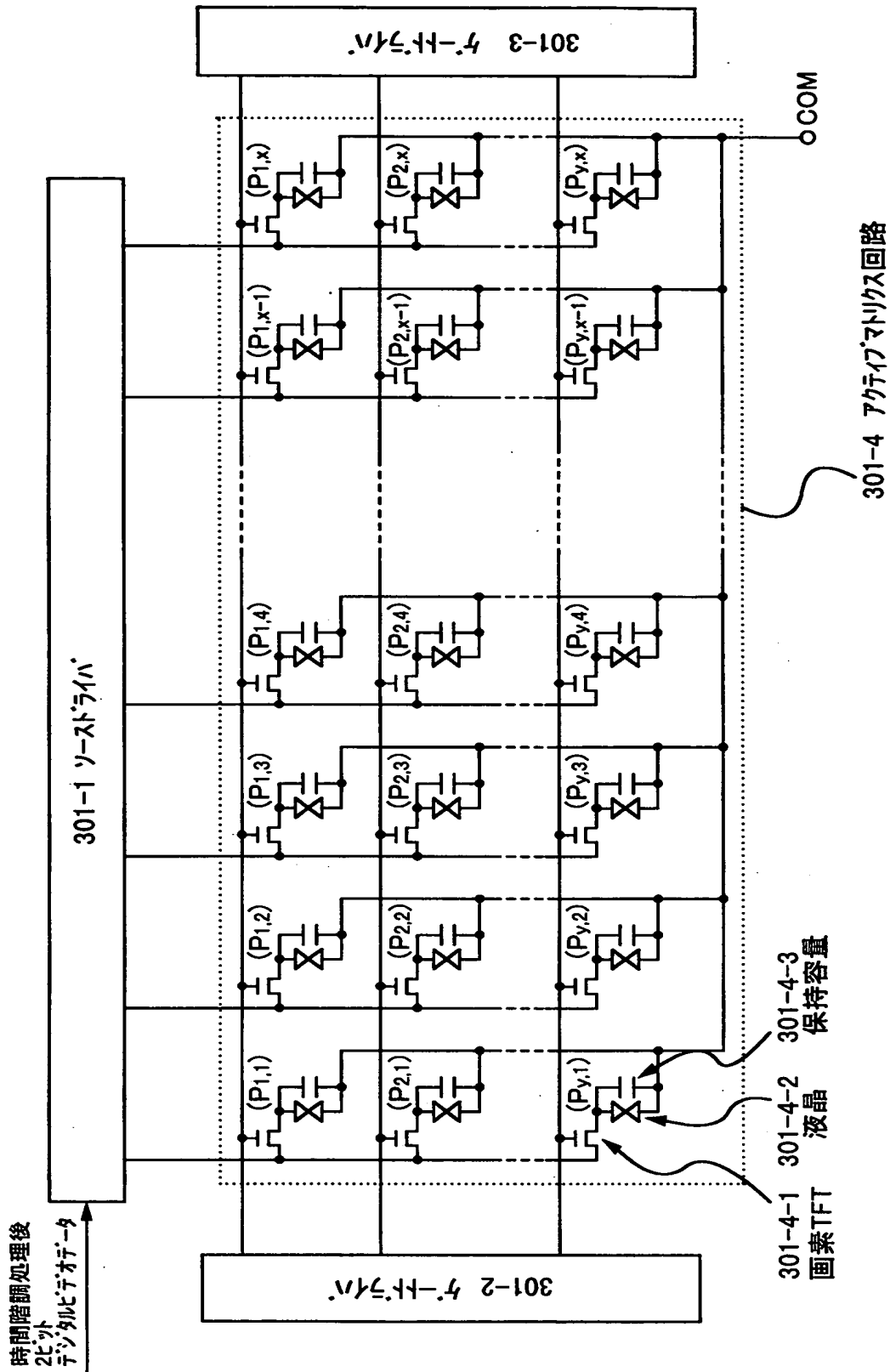
【図 2】



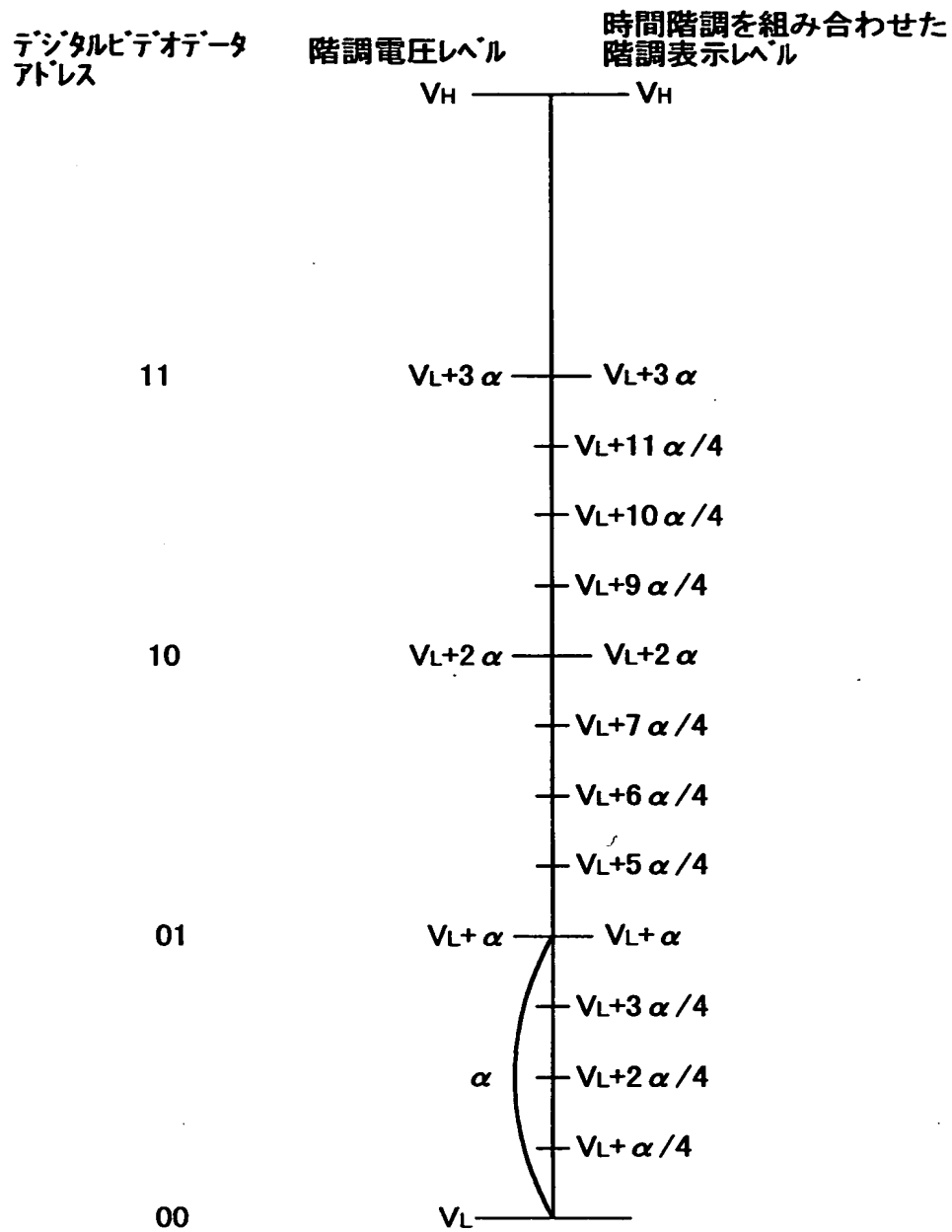
【図 3】



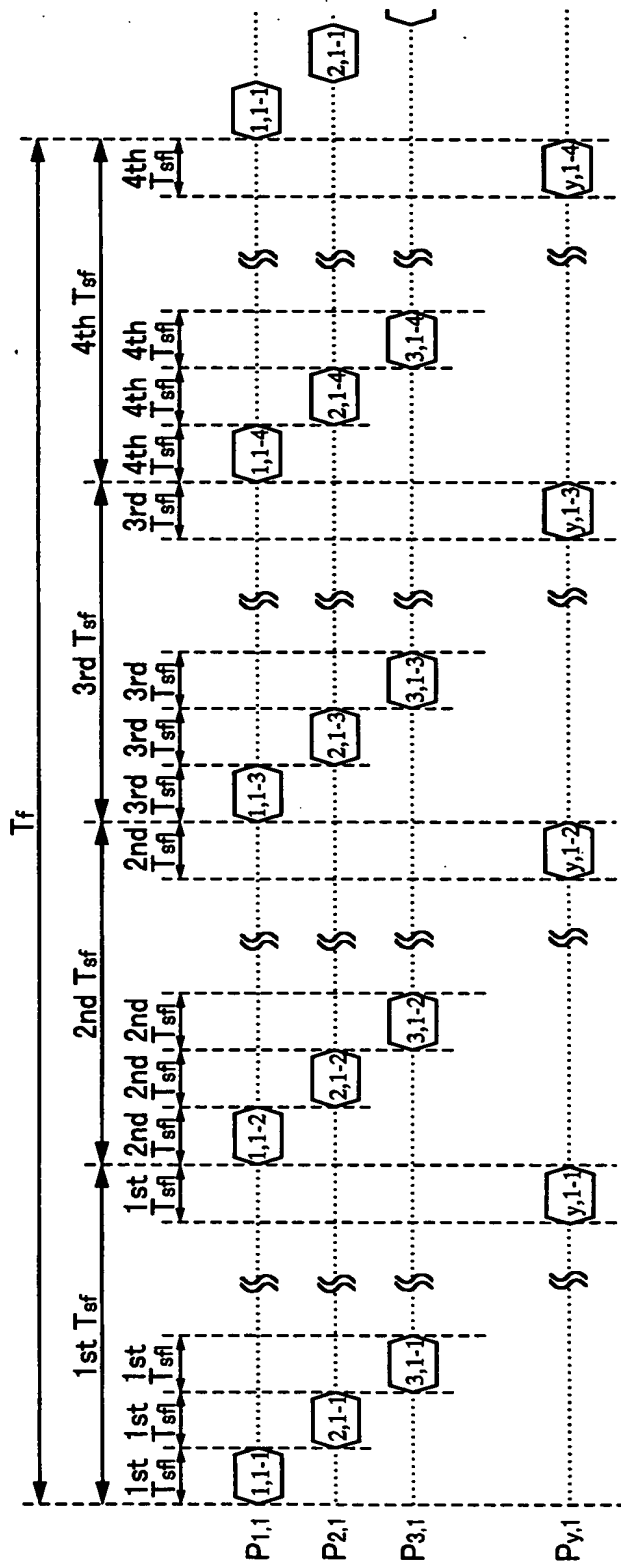
【図 4】



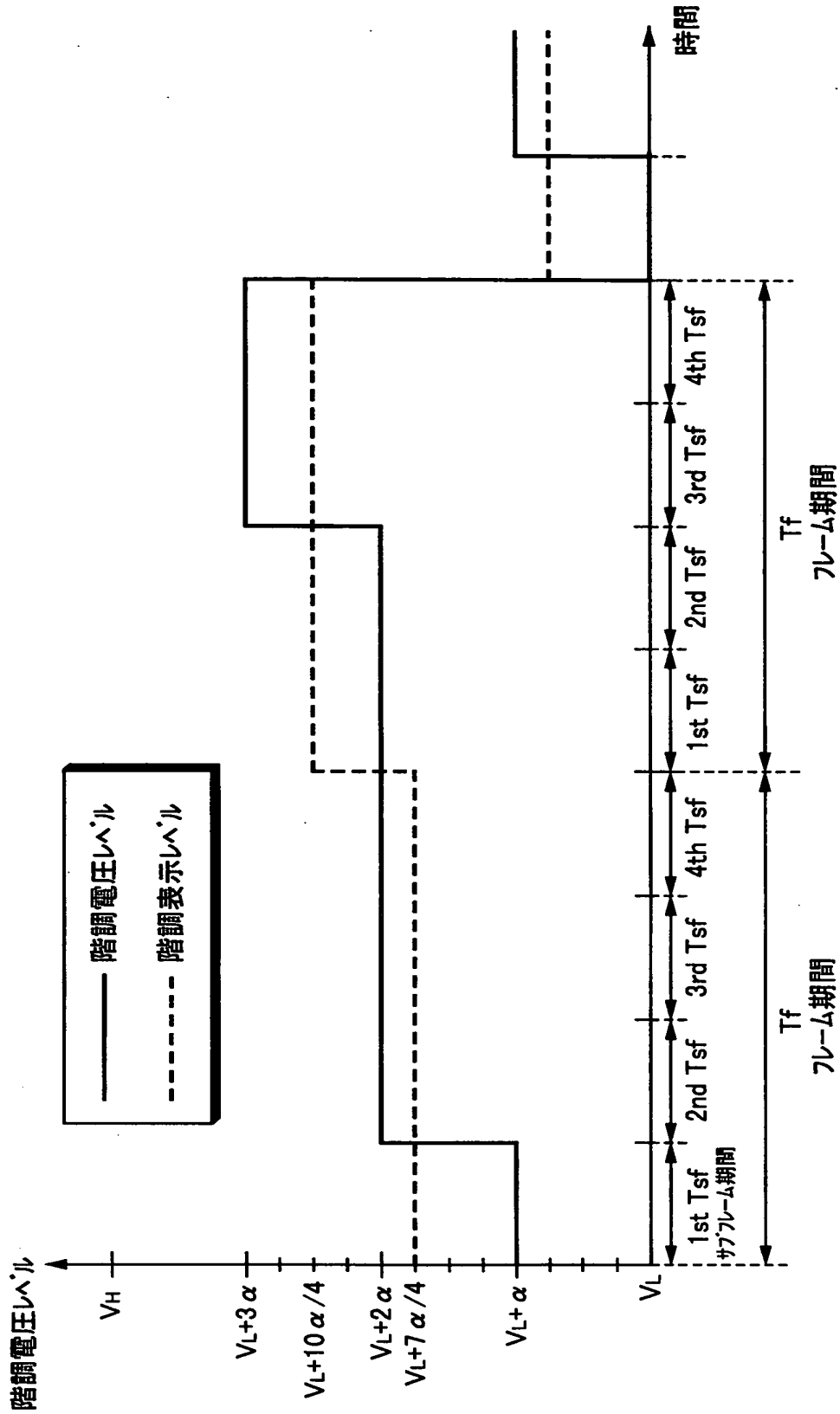
【図 5】



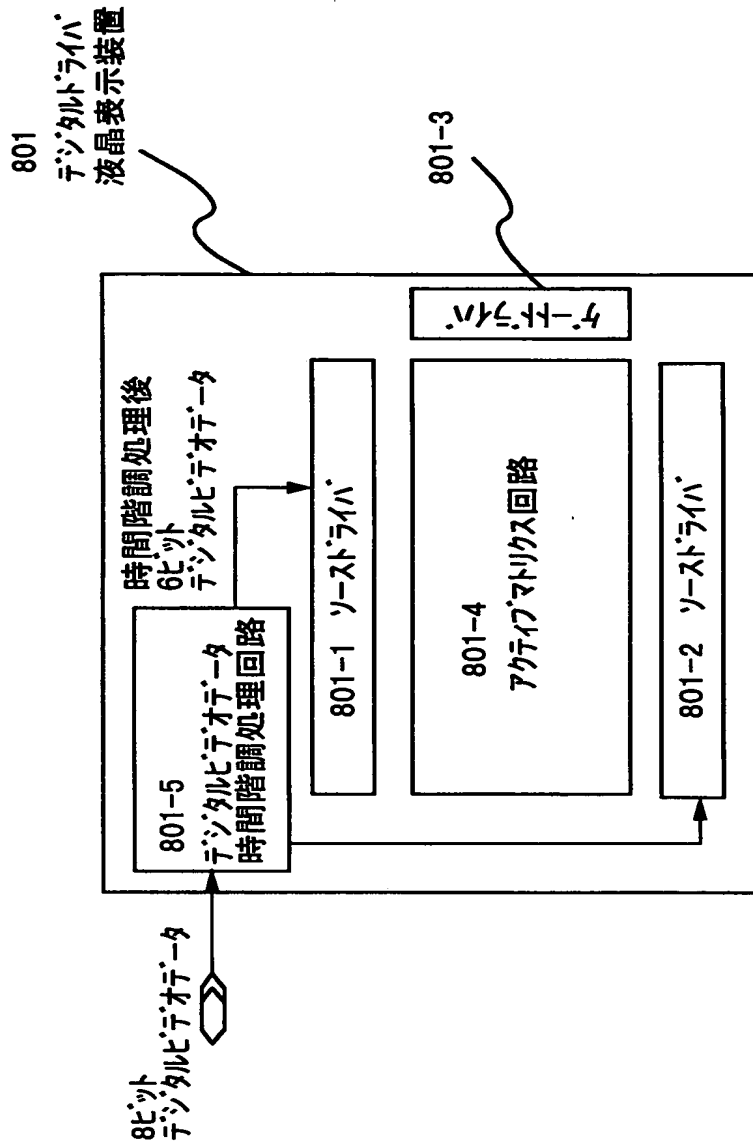
【図 6】



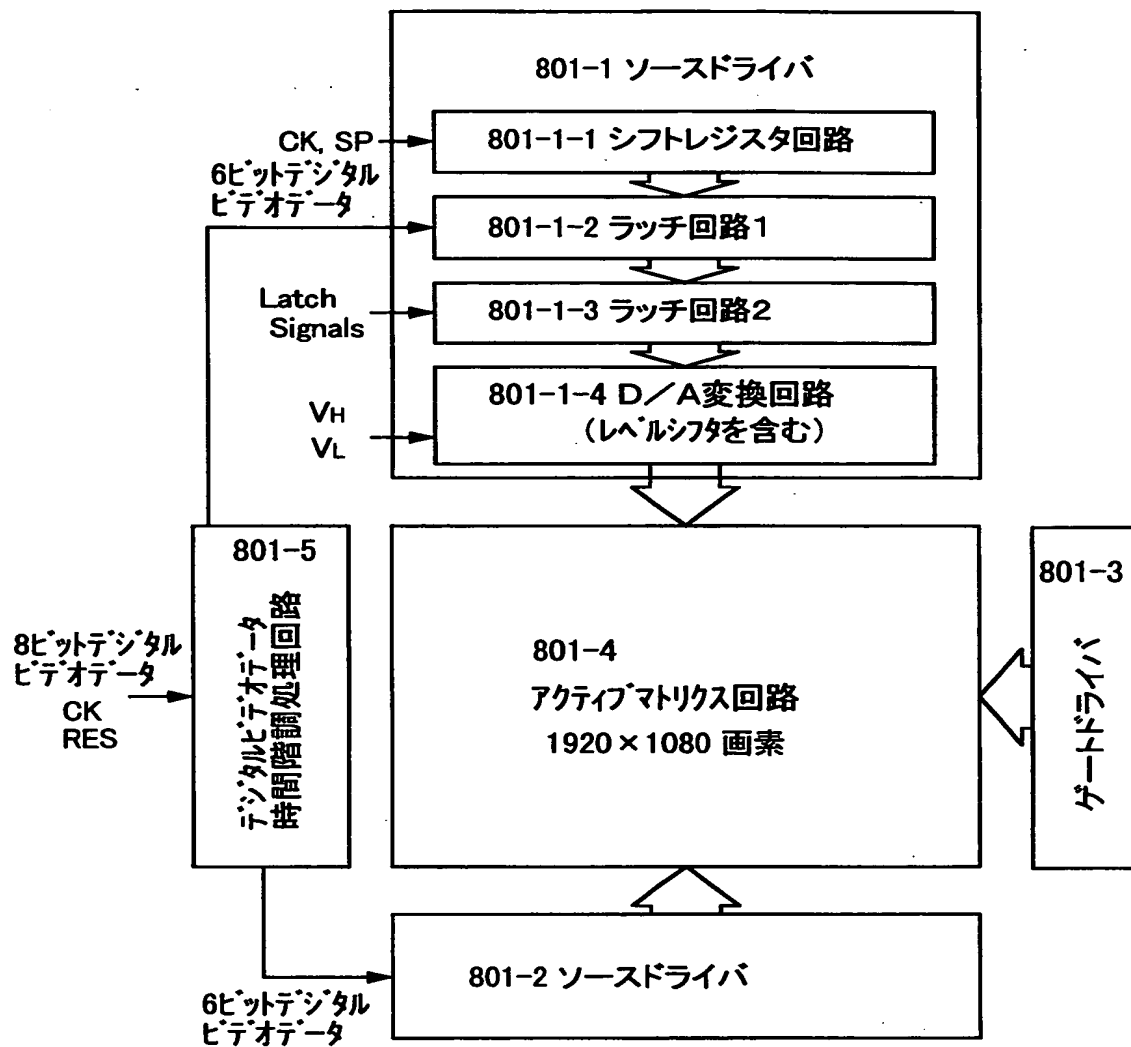
【図 7】



【図 8】

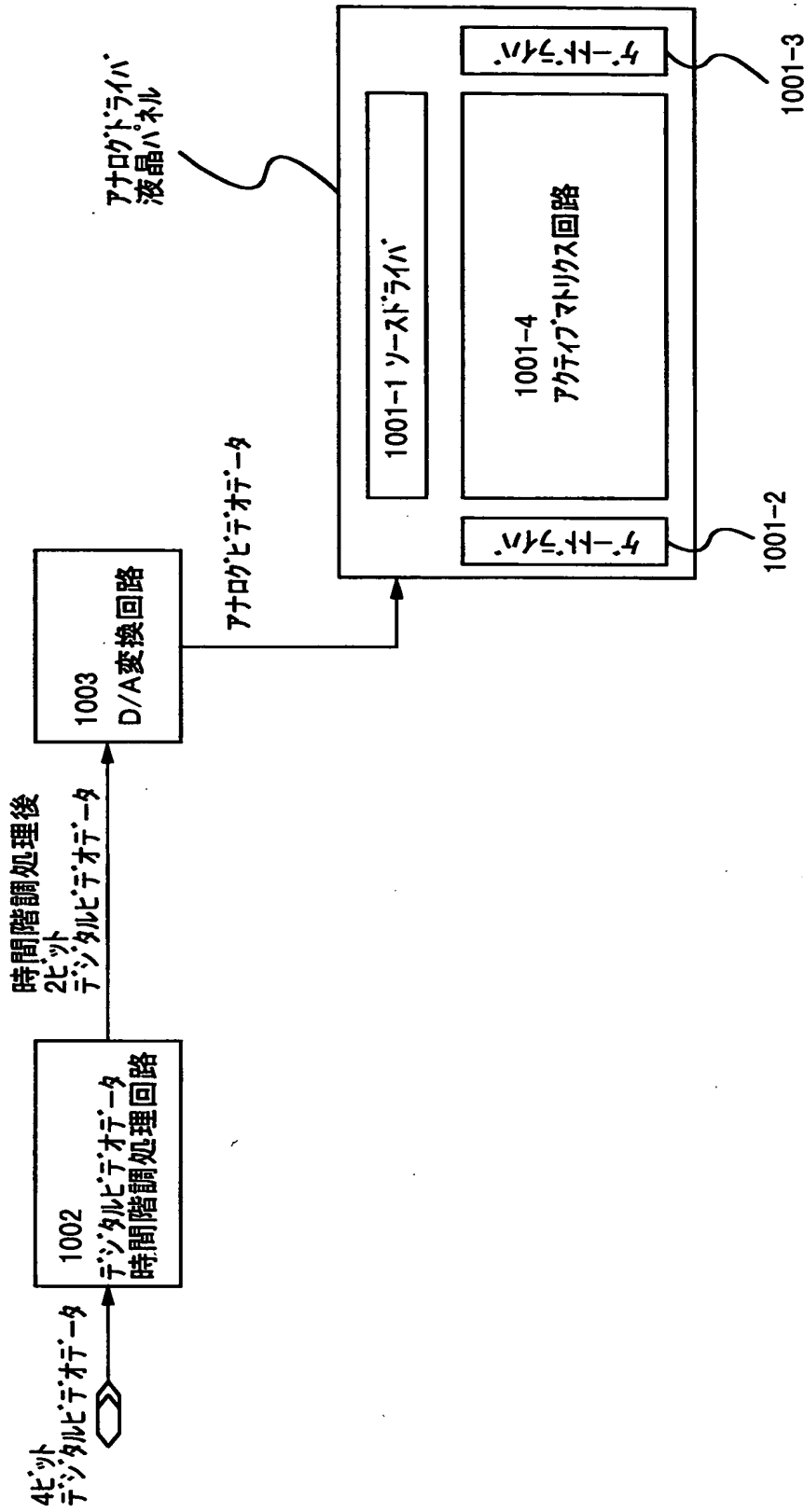


【図 9】

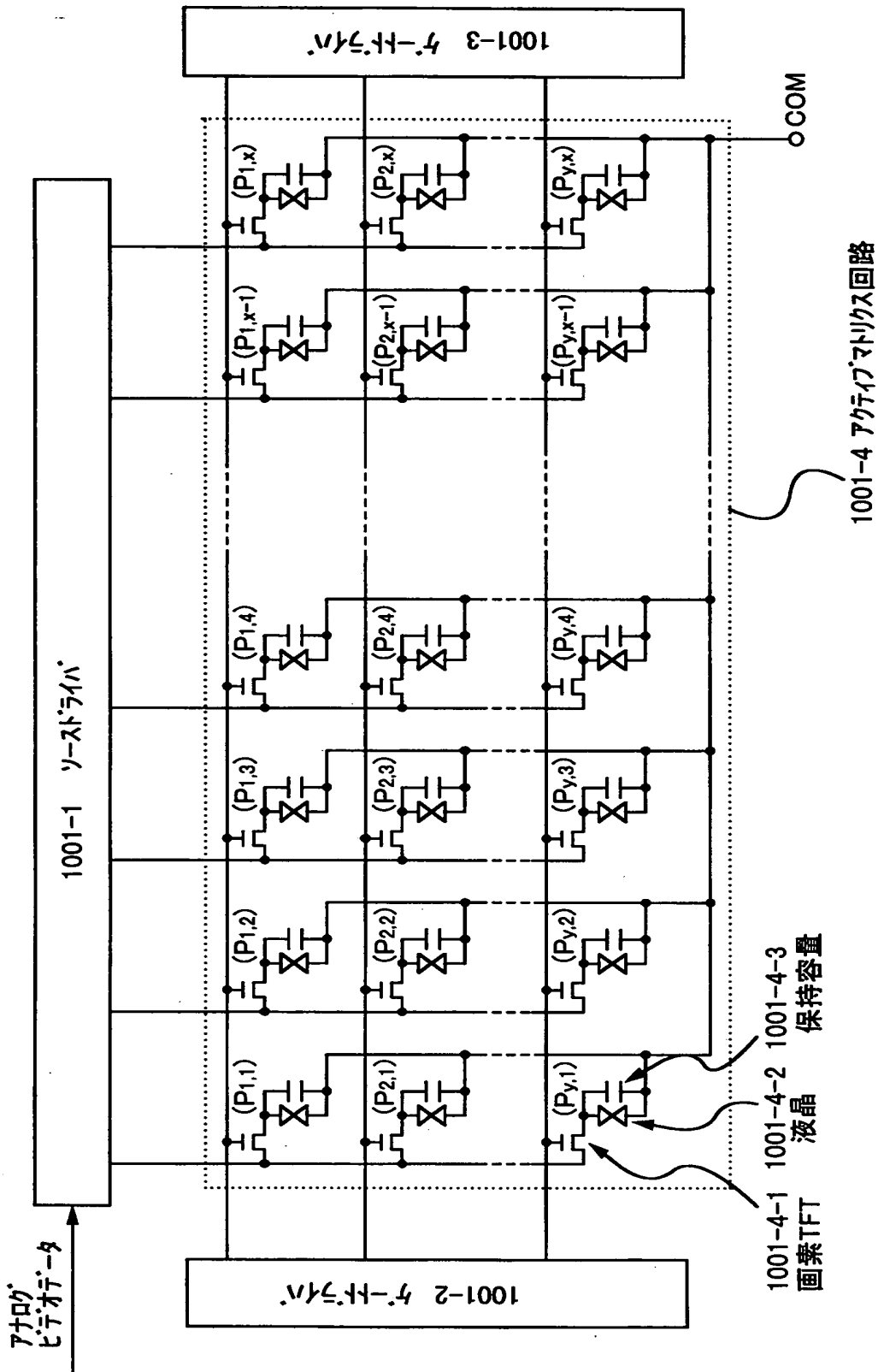




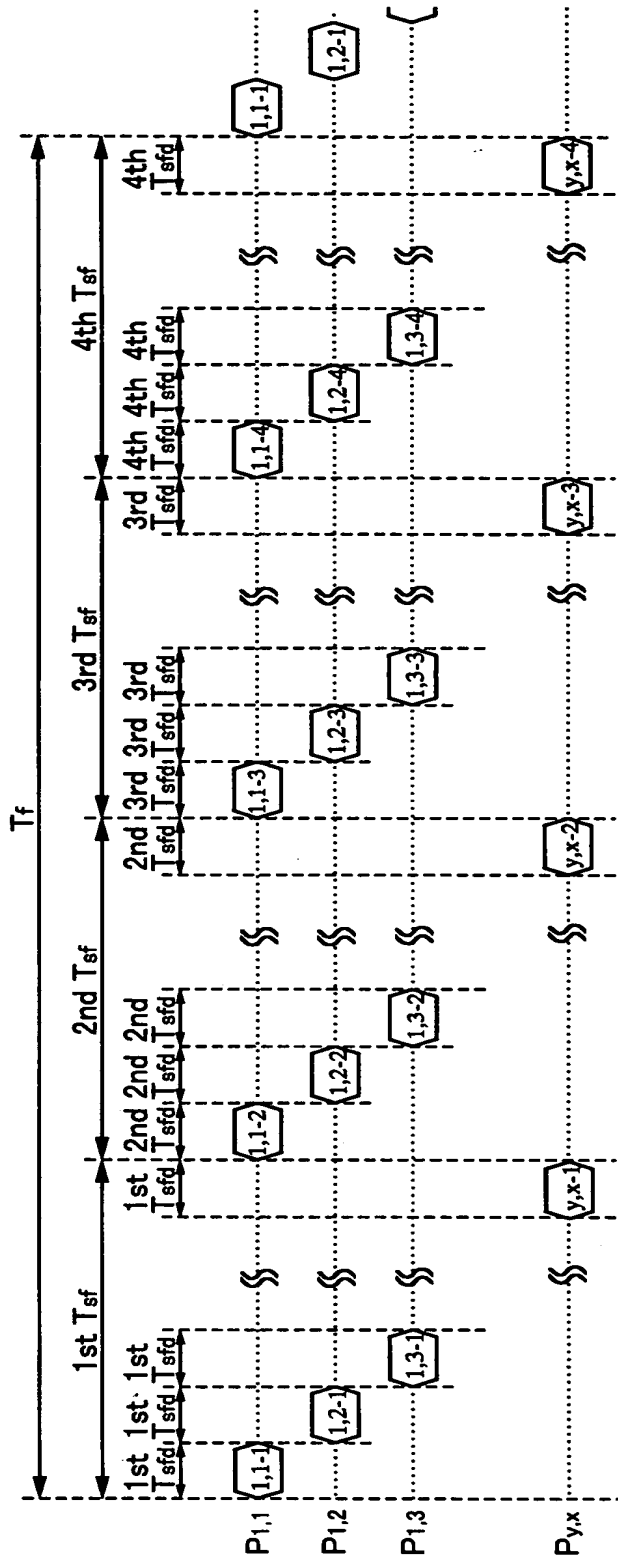
【図 1 0】



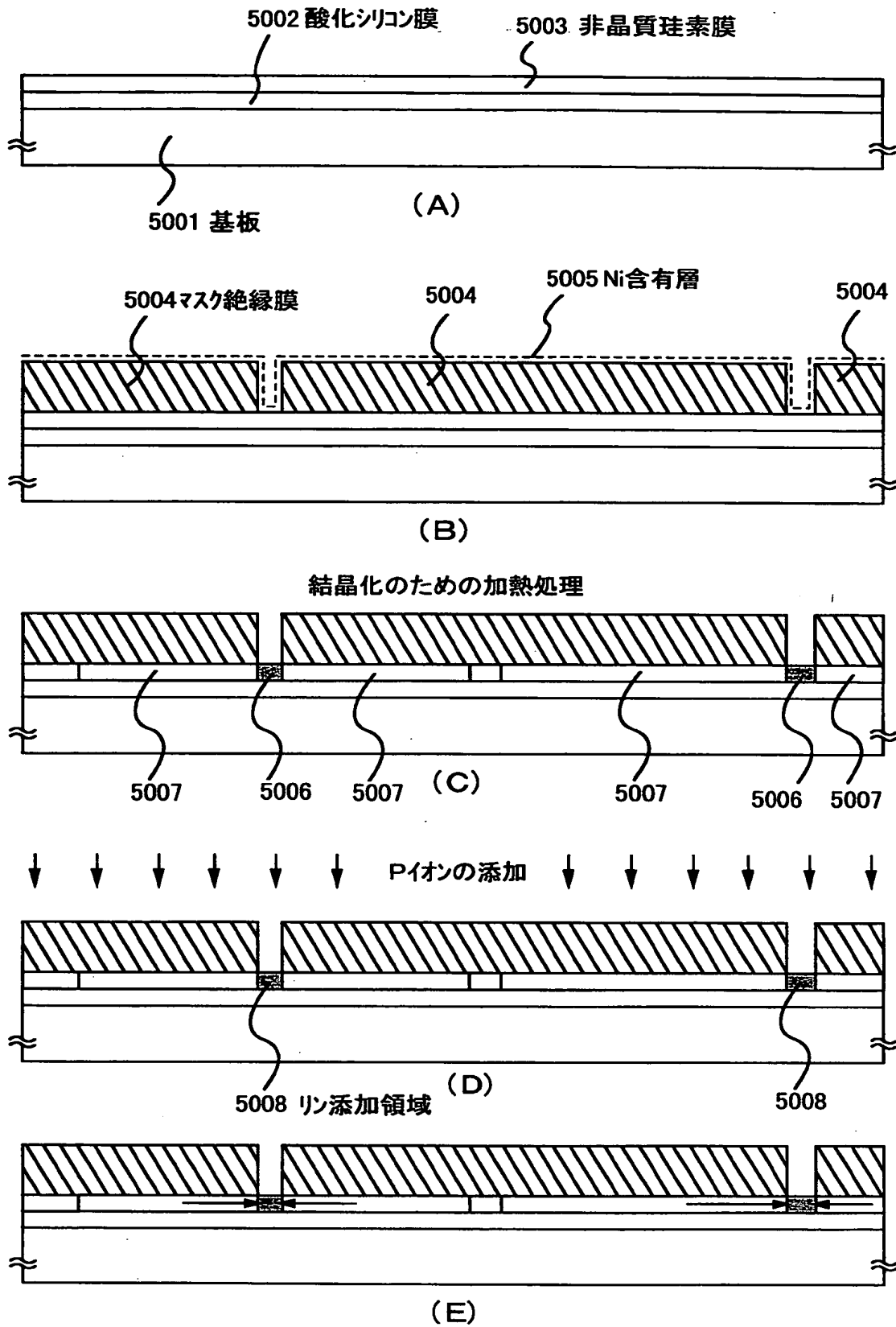
【図 1 1】



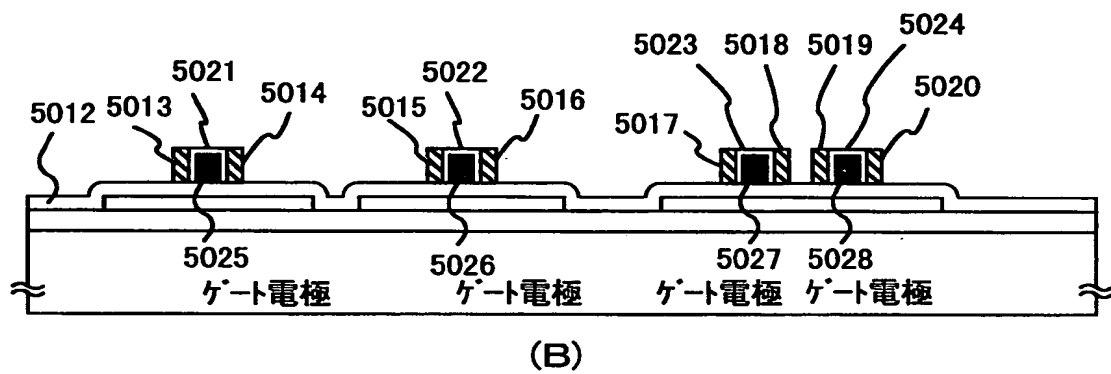
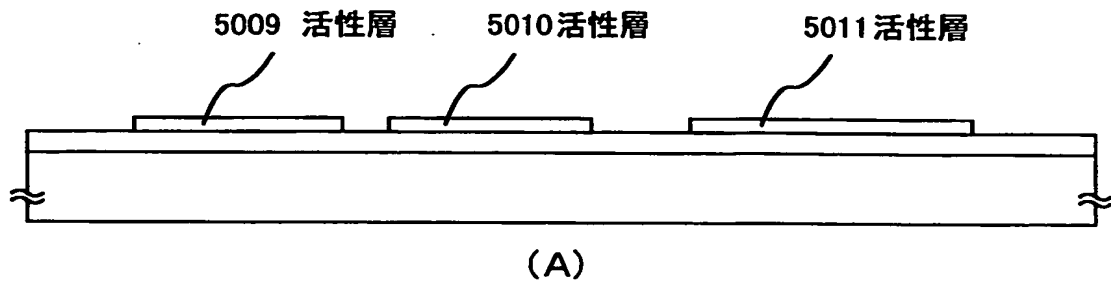
【図 1 2】



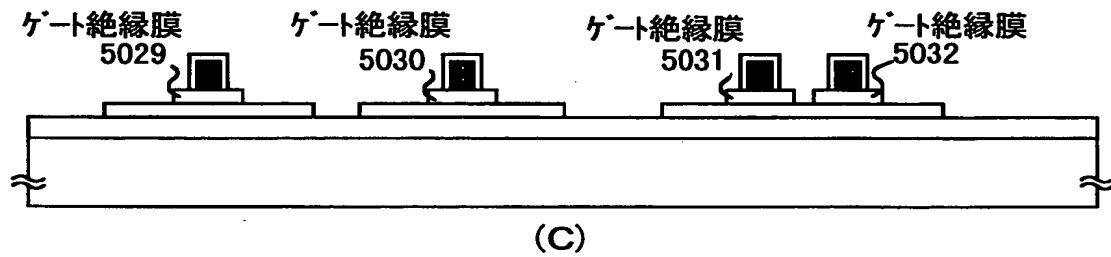
【図 1 3】



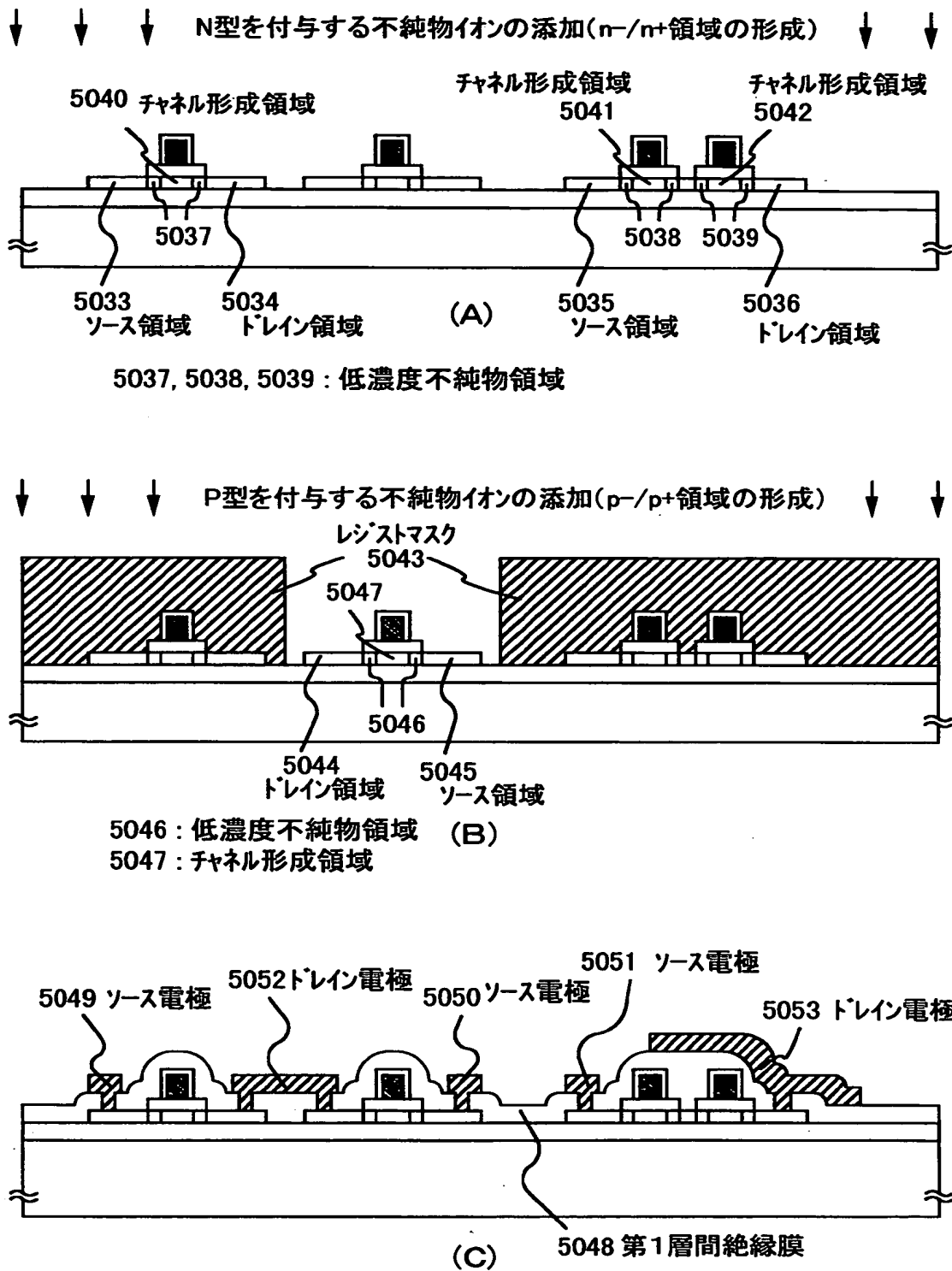
【図 1 4】



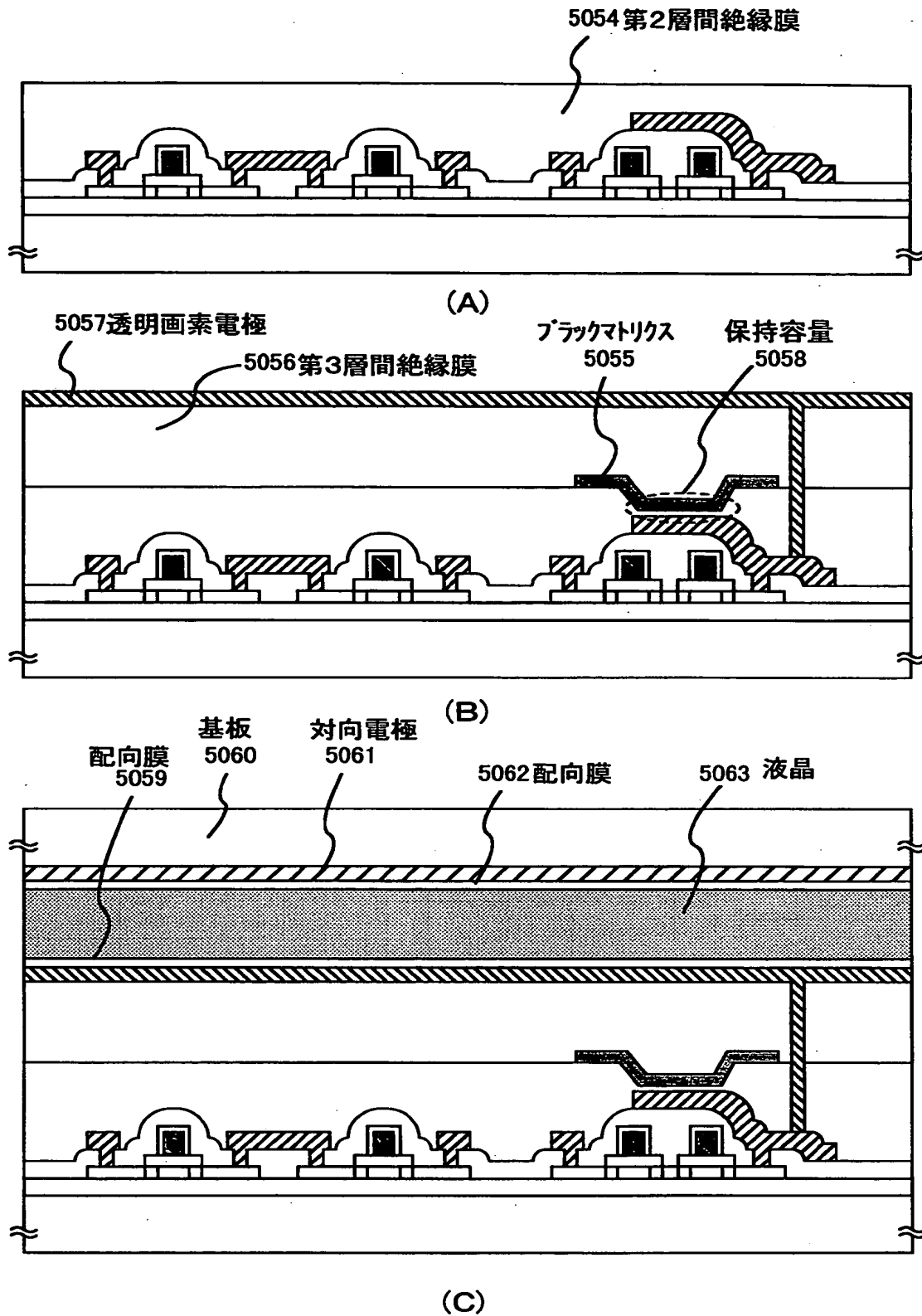
5013～5020 : 多孔性陽極酸化膜      5021～5024 : 無孔性陽極酸化膜



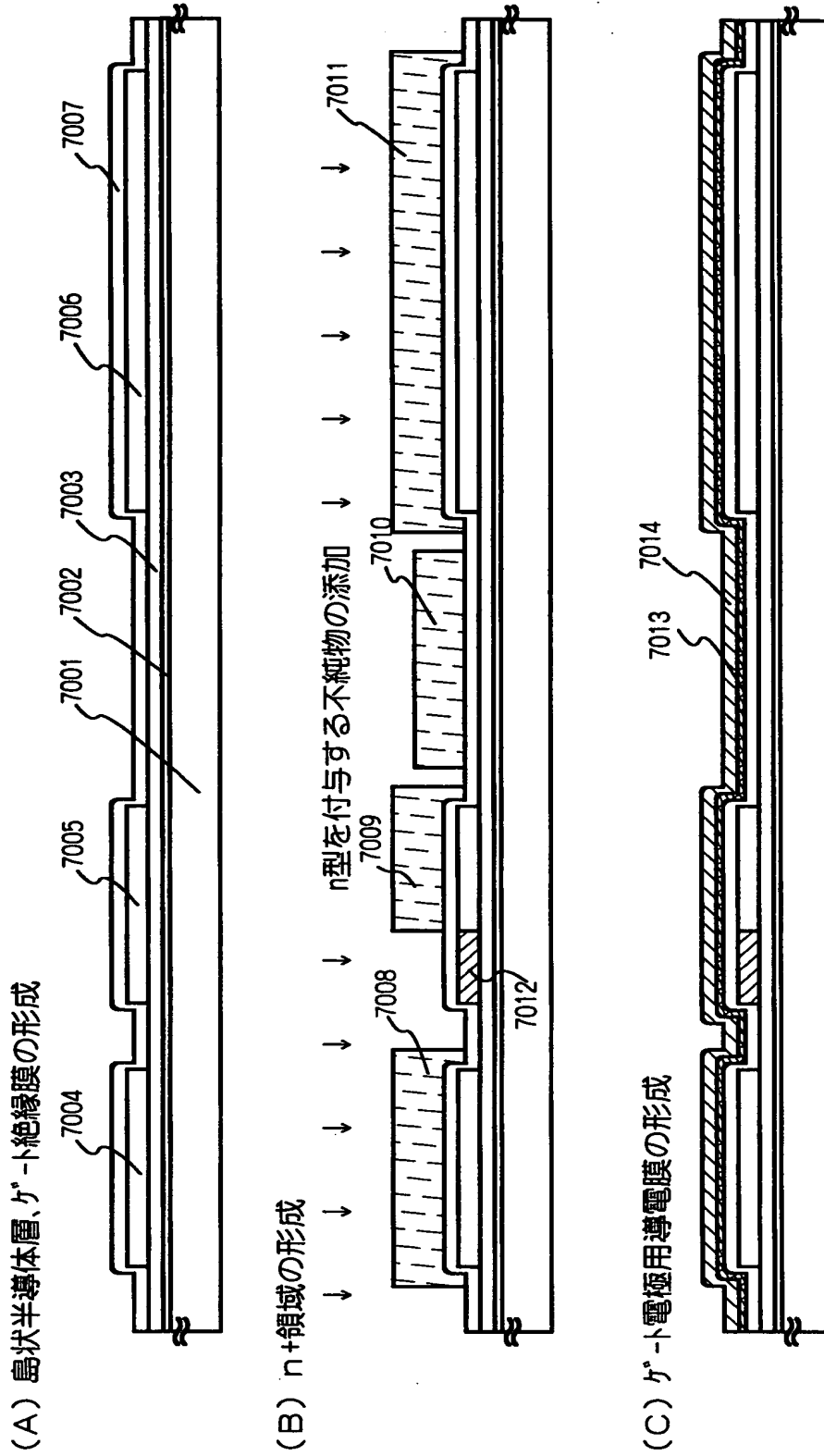
【図 1 5】



【図 1 6】

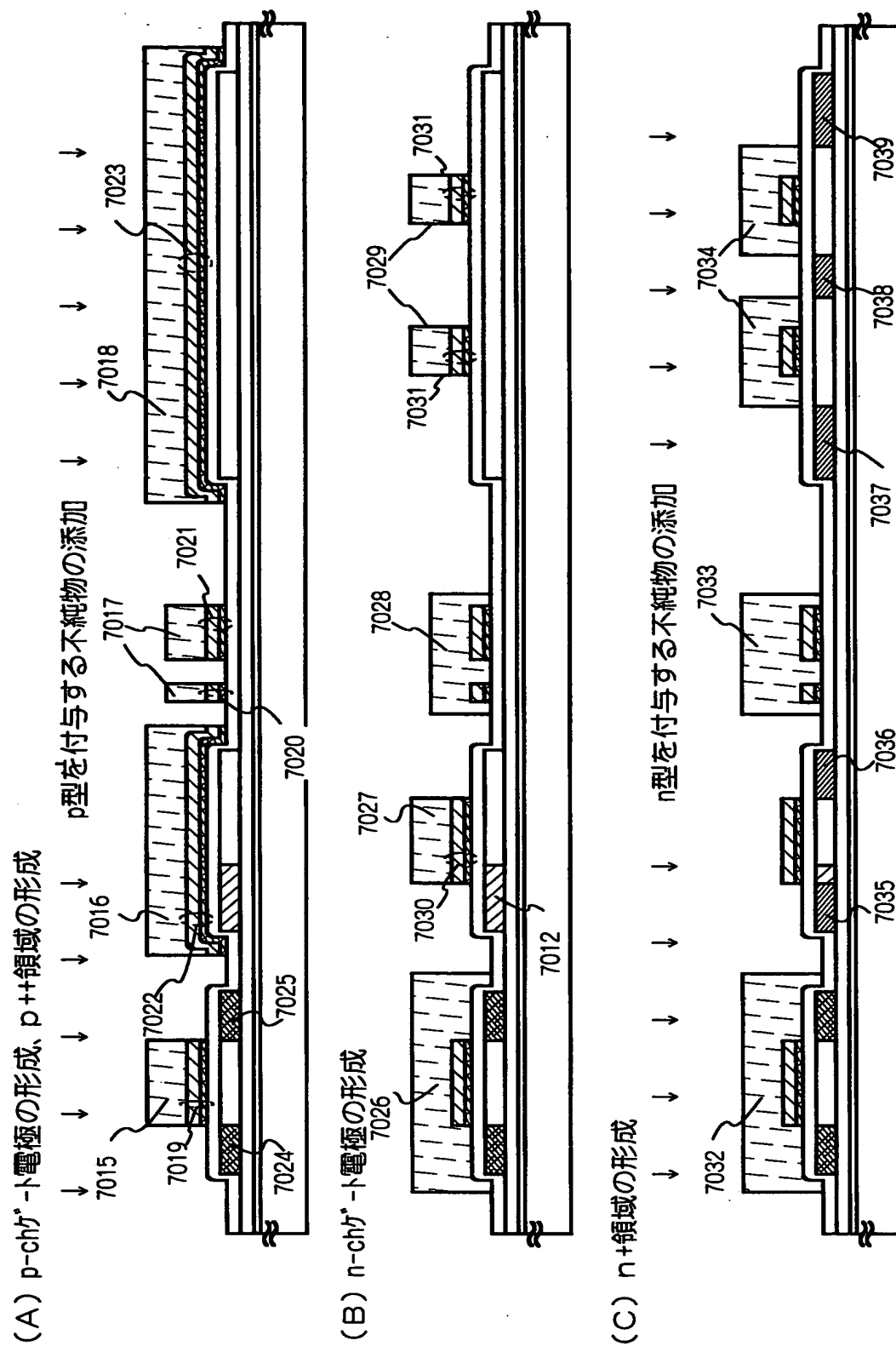


【図 1 7】



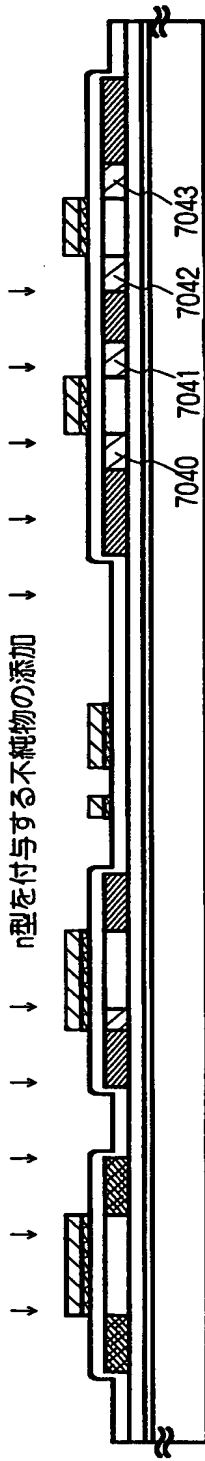


【図 18】

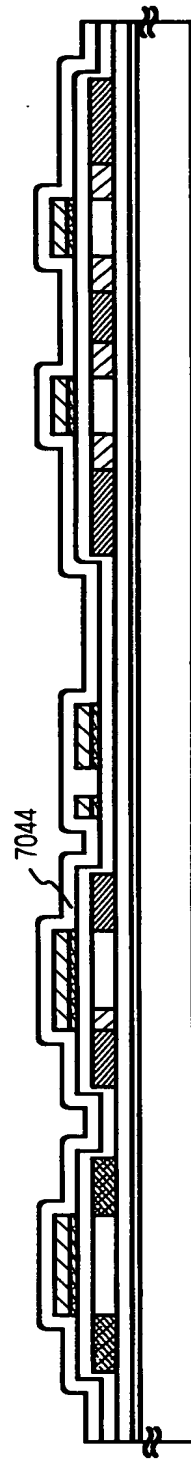


【図 1 9】

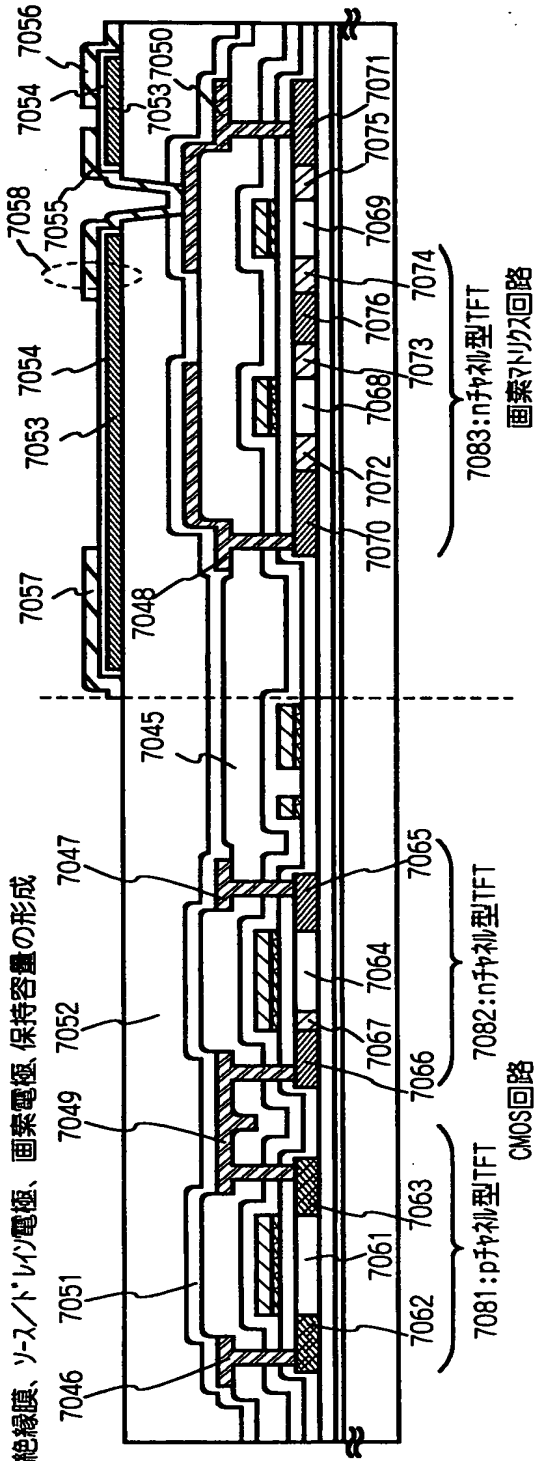
(A) n--領域の形成



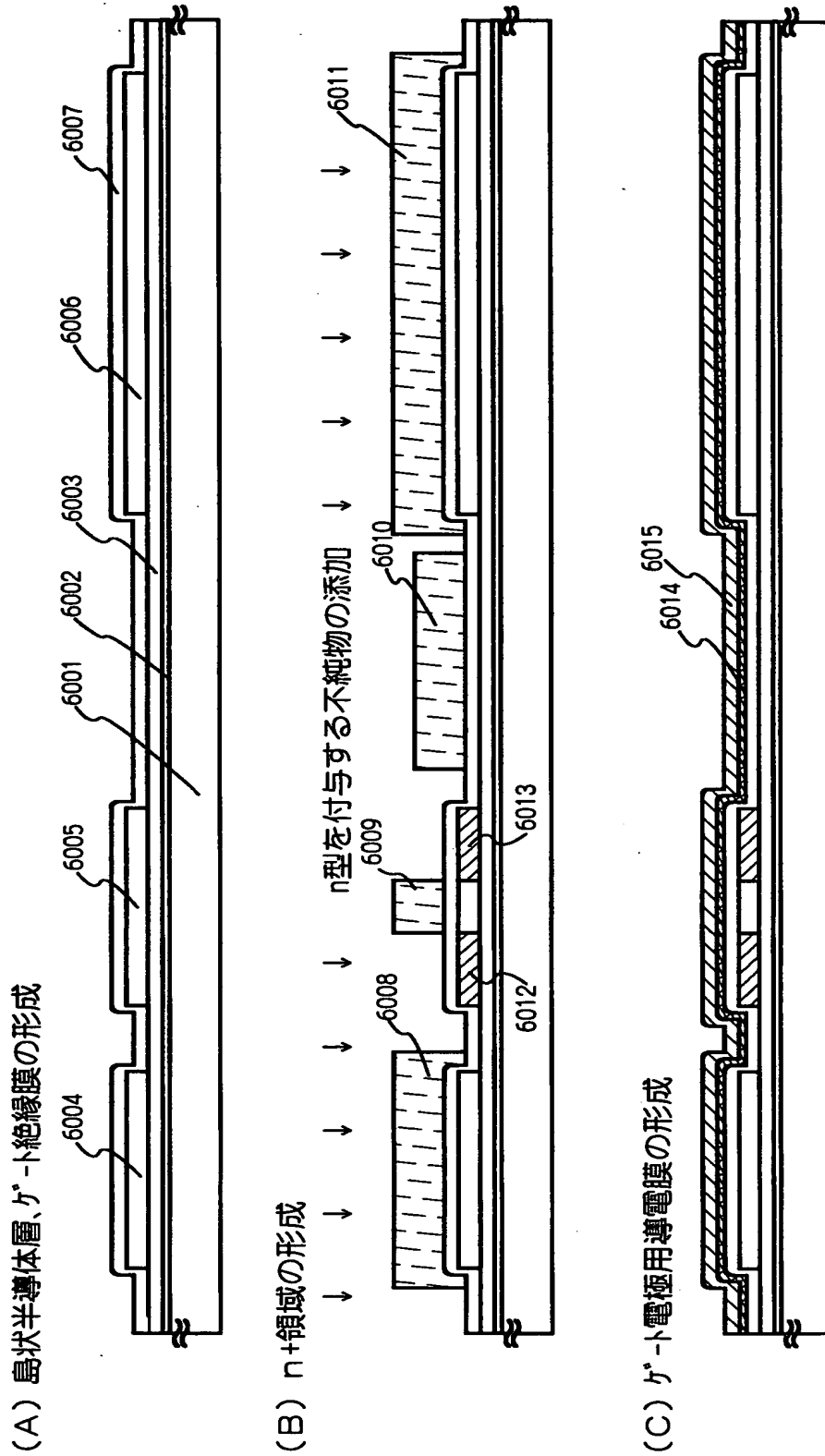
(B) 熱活性化



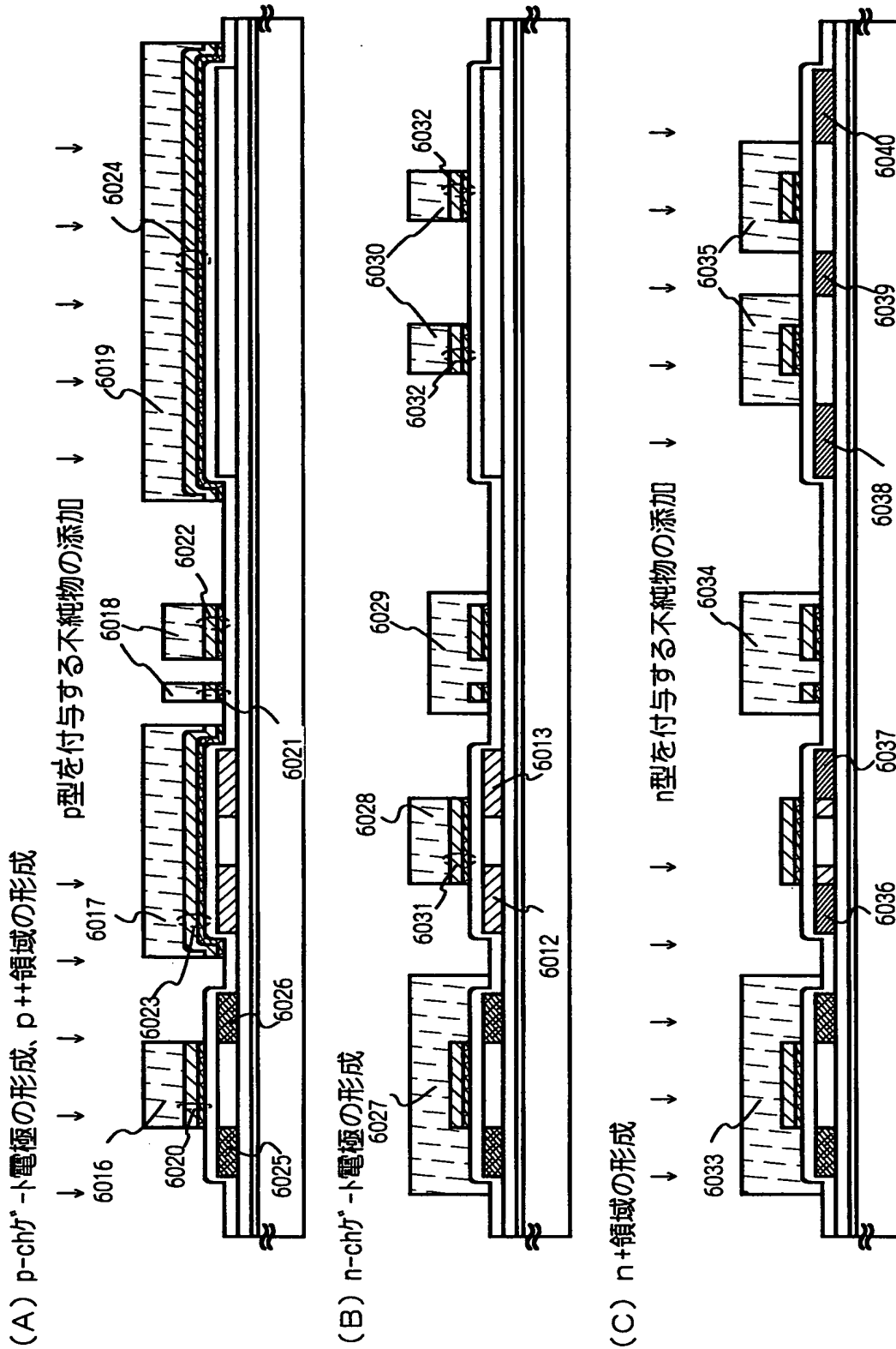
(C) 層間絶縁膜、ソース/ドレイン電極、画素電極、保持容量の形成



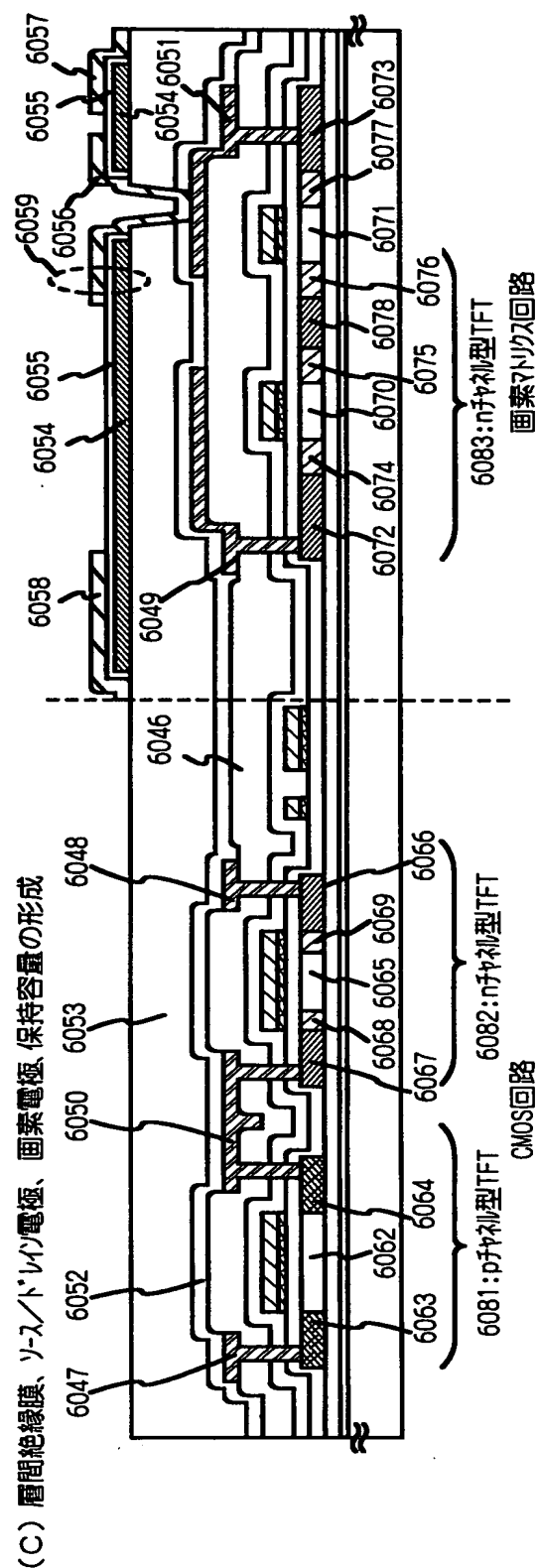
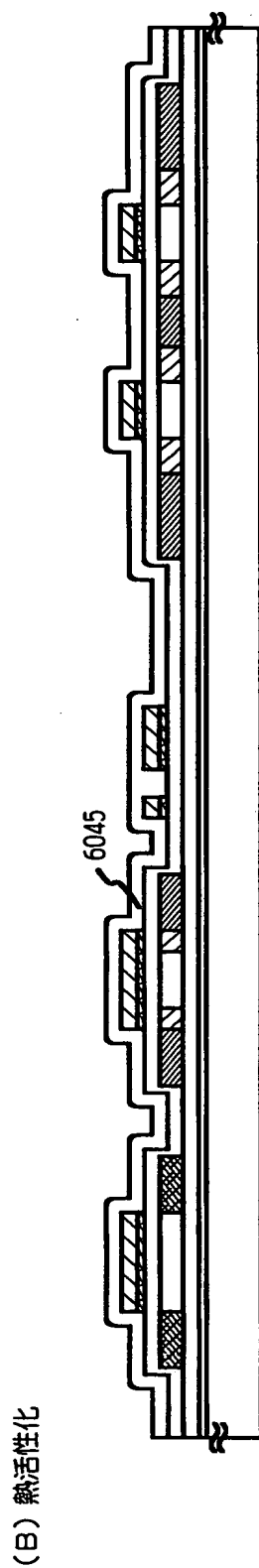
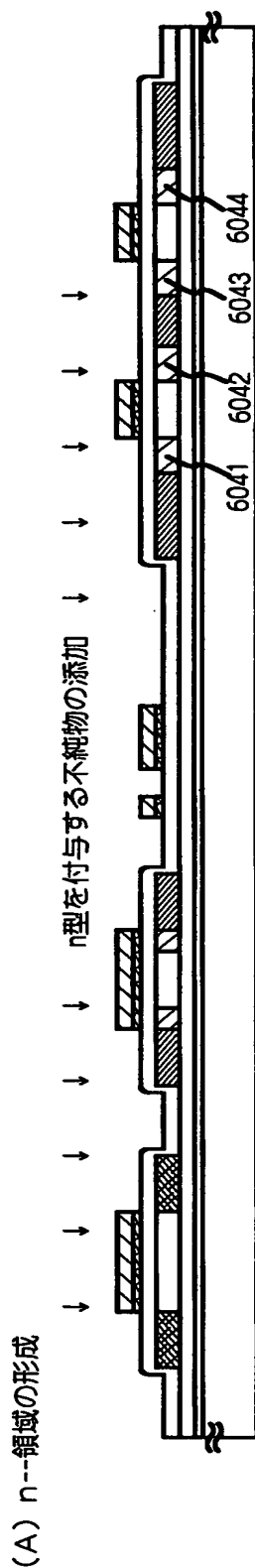
【図 2 0】



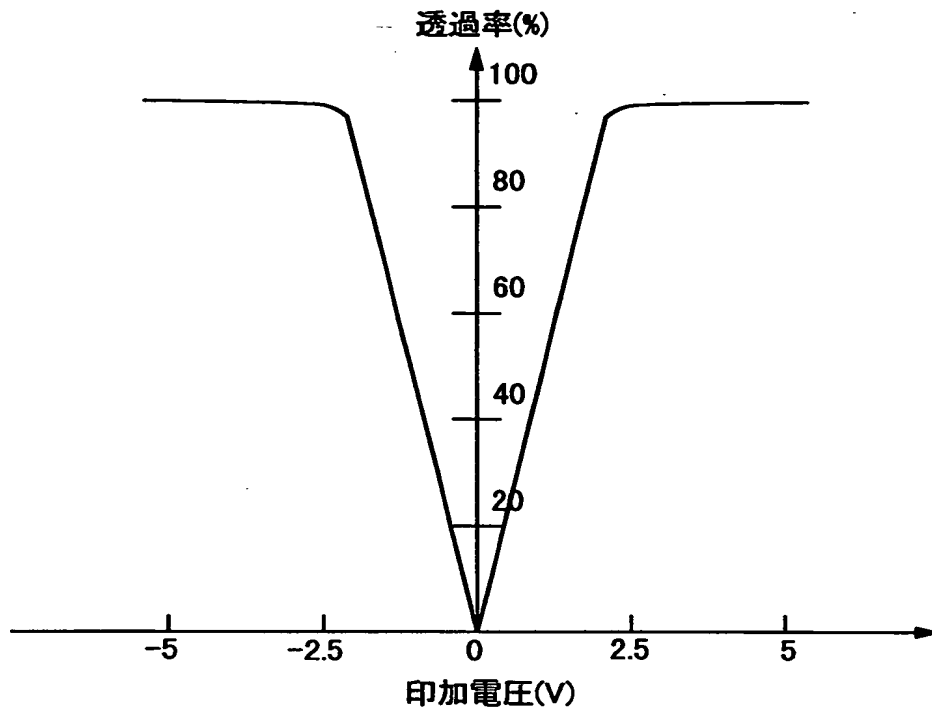
【図 21】



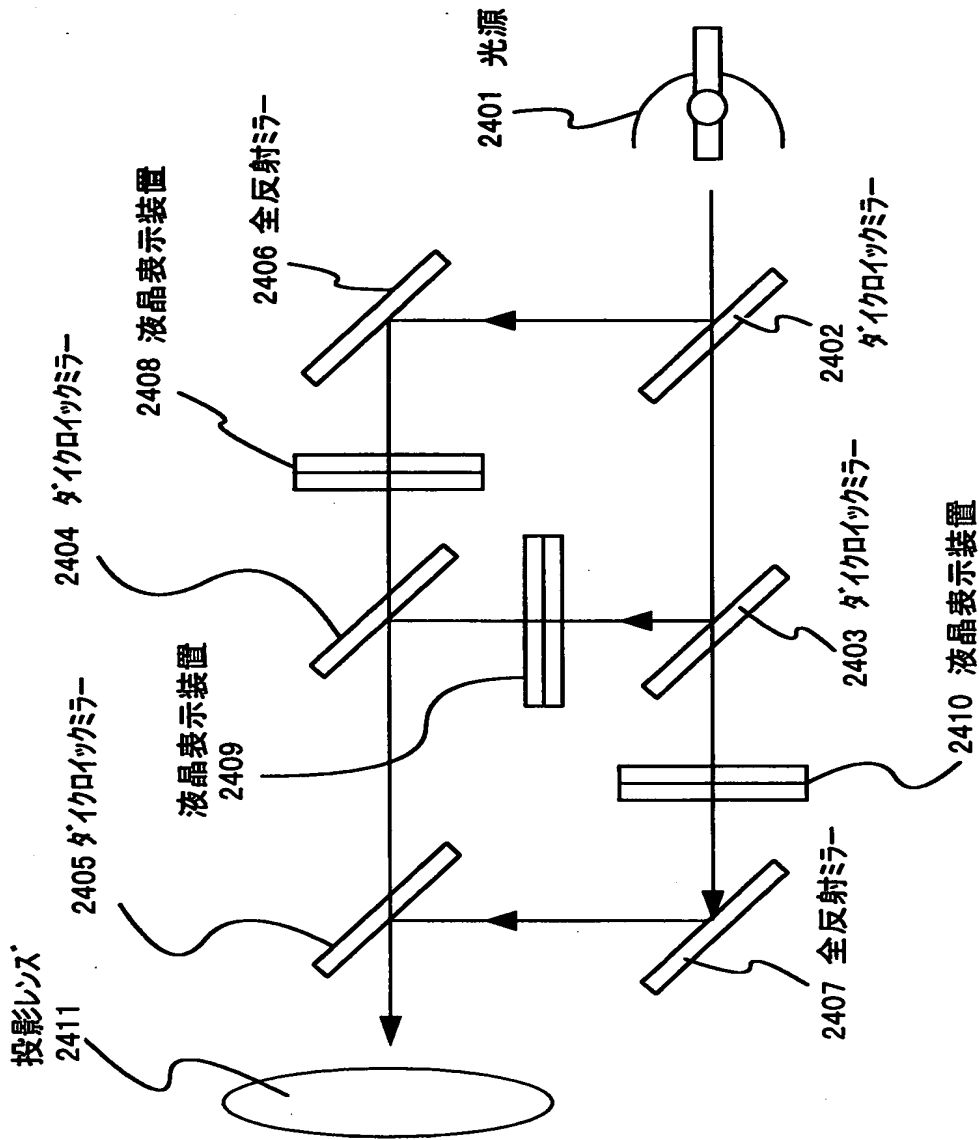
【图 2 2】



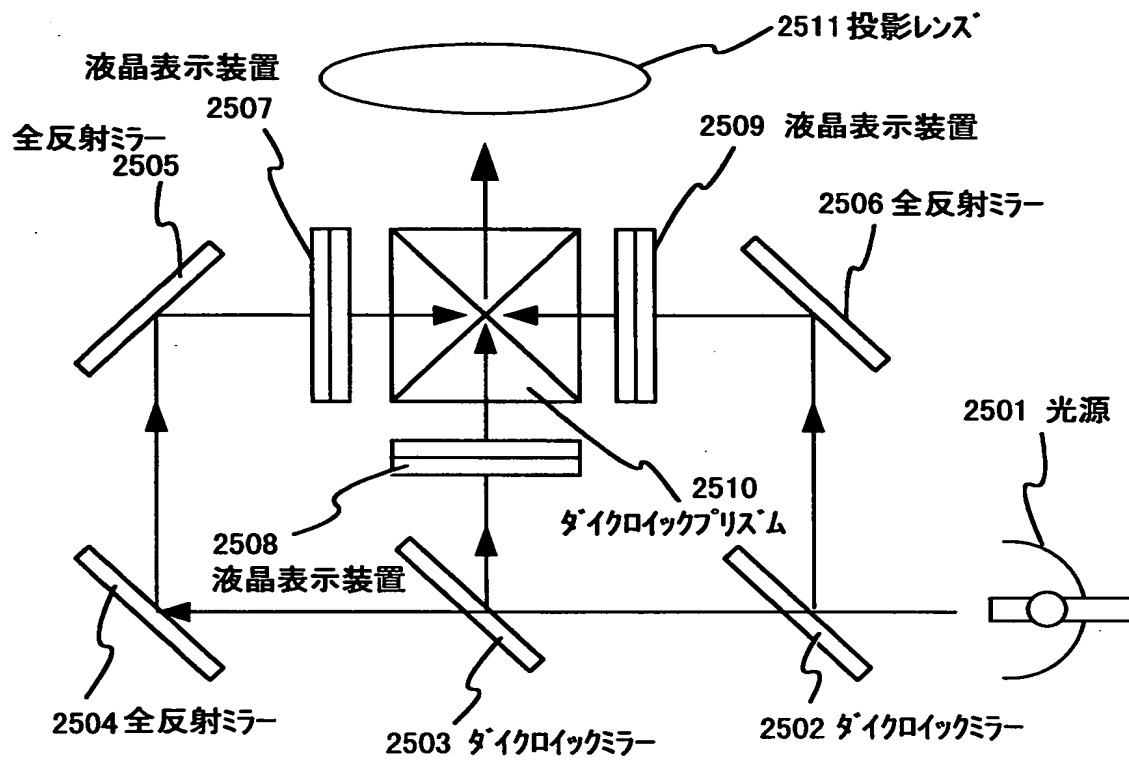
【図 2 3】



【図 24】

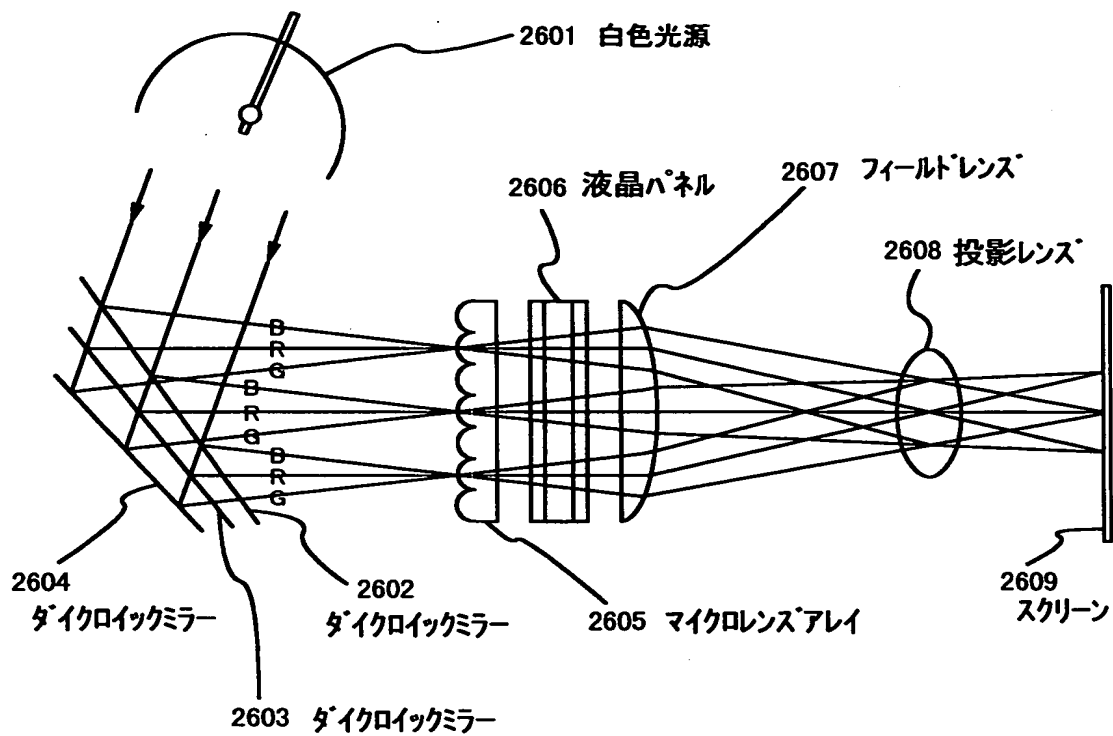


【図 25】

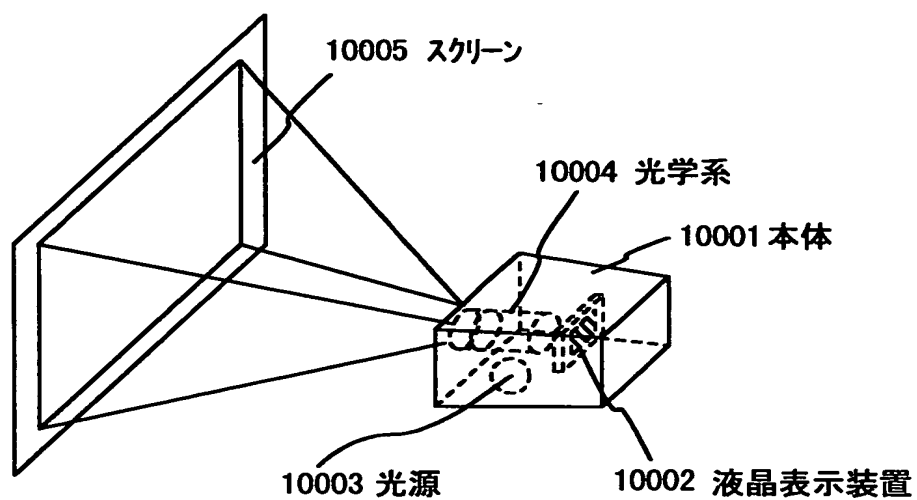




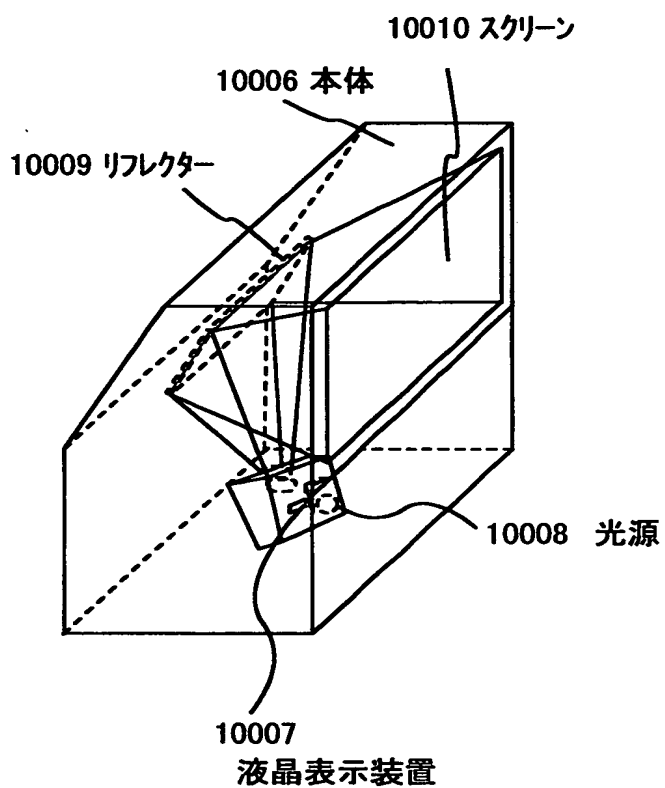
【図 2 6】



【図 2.7】

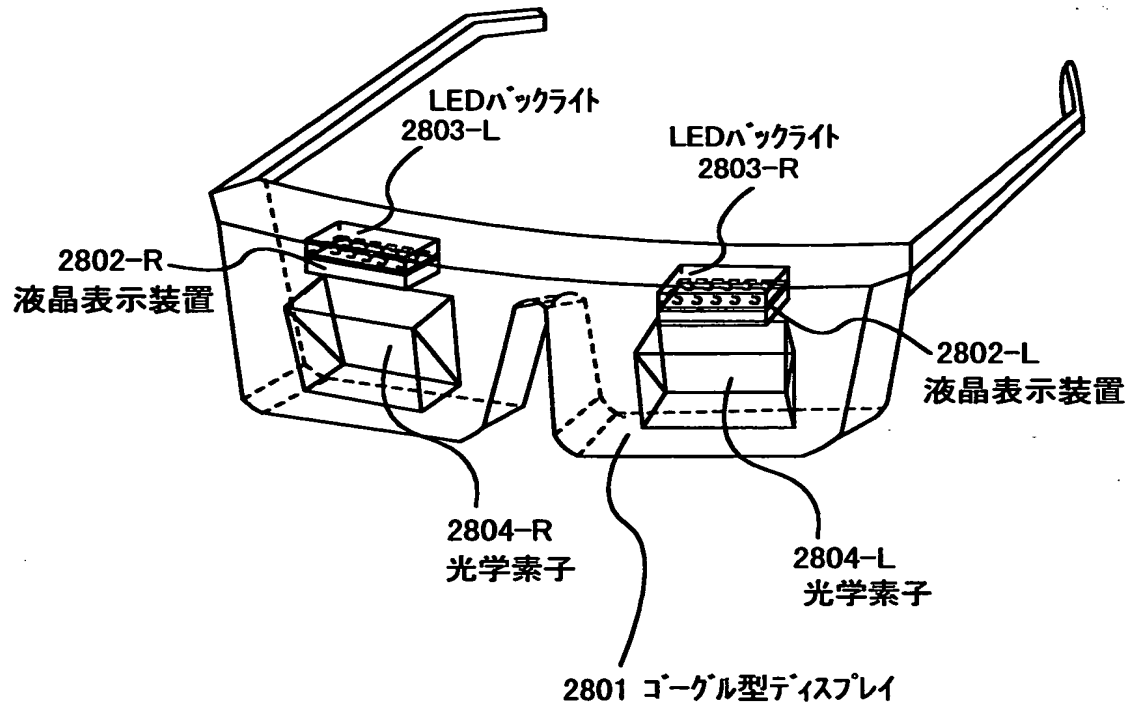


(A)

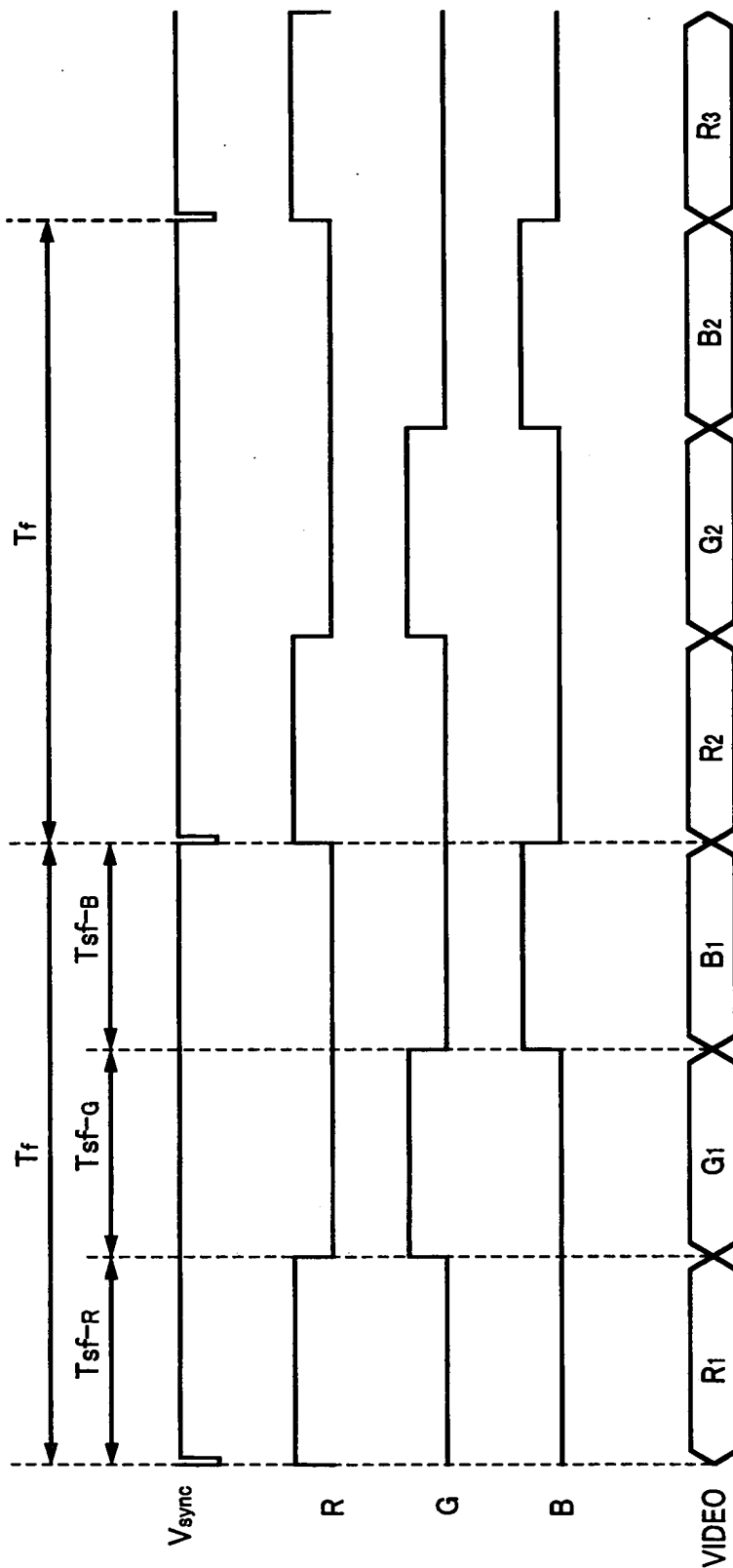


(B)

【図 28】



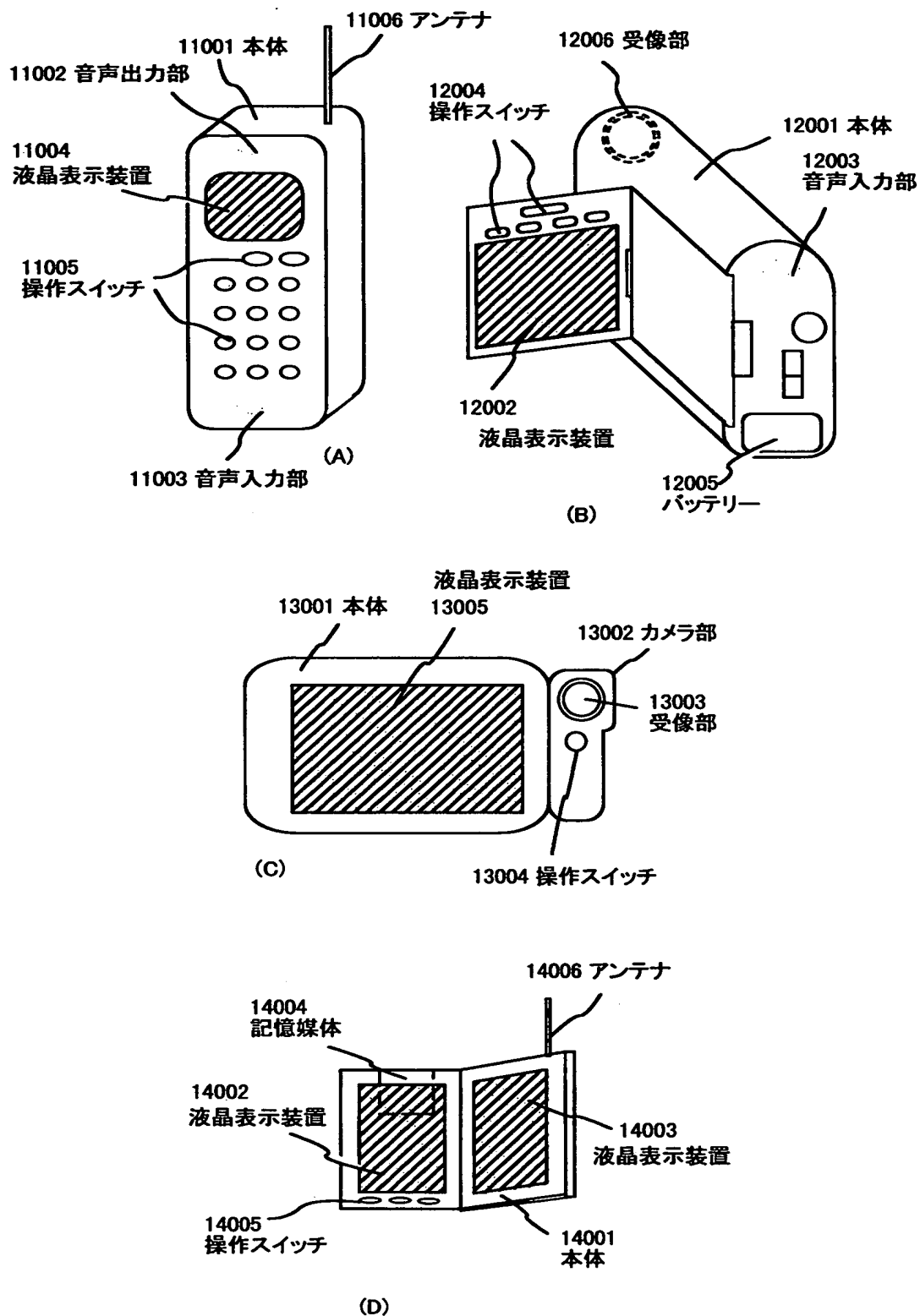
【図 29】



【図 30】



【図 3 1】



【書類名】 要約書

【要約】

【課題】 D/A変換回路の構成を複雑にすることなく、多階調表示を可能とする液晶表示装置を提供すること。

【解決手段】 外部から入力される $m$ ビットデジタルビデオデータのうち、上位 $n$ ビットを電圧階調の情報として、かつ下位 $(m-n)$ ビットを時間階調の情報として用いる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所